



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 2 8 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 5 3 9 9 8
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 5 3 9 9 8]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 9 6 2 9 3



【書類名】 特許願

【整理番号】 J0095082

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

 【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

 【氏名】 宮坂 光敏

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100095728

 【弁理士】

 【氏名又は名称】 上柳 雅誉

 【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

 【識別番号】 100107076

 【弁理士】

 【氏名又は名称】 藤網 英吉

【選任した代理人】

 【識別番号】 100107261

 【弁理士】

 【氏名又は名称】 須澤 修

【手数料の表示】

 【予納台帳番号】 013044

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 相補型薄膜トランジスタ回路、電気光学装置、電子機器

【特許請求の範囲】

【請求項 1】 基板の絶縁性表面上に設けられた複数の起点部のそれぞれを略中心として形成された単結晶粒を用いて形成された第 1 導電型の薄膜トランジスタと第 2 導電型の薄膜トランジスタとを備え、

前記第 1 導電型の薄膜トランジスタ及び第 2 導電型の薄膜トランジスタは、ドレイン電流の向きを揃えて形成されるとともに少なくとも該第 1 導電型の薄膜トランジスタ及び第 2 導電型の薄膜トランジスタのチャネル領域が同一面方位を有する前記単結晶粒内に形成されていること

を特徴とする相補型薄膜トランジスタ回路。

【請求項 2】 前記第 1 導電型の薄膜トランジスタ及び第 2 導電型の薄膜トランジスタのチャネル領域が、1つの単結晶粒内に形成されていることを特徴とする請求項 1 に記載の相補型薄膜トランジスタ回路。

【請求項 3】 前記第 1 導電型の薄膜トランジスタ及び第 2 導電型の薄膜トランジスタの前記チャネル領域を挟んで両側に低濃度不純物領域からなる電界緩和領域を有し、

該電界緩和領域と前記チャネル領域とが同一単結晶内に形成されていることを特徴とする請求項 1 または請求項 2 に記載の相補型薄膜トランジスタ回路。

【請求項 4】 前記チャネル領域は、前記単結晶粒における前記起点部を含まない領域に形成されていることを特徴とする請求項 1～請求項 3 のいずれか一つに記載の相補型薄膜トランジスタ回路。

【請求項 5】 前記第 1 導電型の薄膜トランジスタ及び第 2 導電型の薄膜トランジスタは、前記単結晶粒をコの字型にパターニングした半導体膜に形成されていることを特徴とする請求項 4 に記載の相補型薄膜トランジスタ回路。

【請求項 6】 前記第 1 導電型の薄膜トランジスタ及び第 2 導電型の薄膜トランジスタは、前記単結晶粒を口の字型にパターニングした半導体膜に形成されていることを特徴とする請求項 4 に記載の相補型薄膜トランジスタ回路。

【請求項 7】 前記単結晶粒は、非晶質または多晶質の半導体膜に熱処理を



施してなることを特徴とする請求項 1～請求項 6 のいずれか一つに記載の相補型薄膜トランジスタ回路。

【請求項 8】 前記起点部は、前記絶縁基板に形成された凹部であることを特徴とする請求項 7 に記載の相補型薄膜トランジスタ回路。

【請求項 9】 前記単結晶粒は、前記半導体膜に前記凹部内の半導体膜が非熔融状態となり、他の部分が熔融する条件で前記熱処理を施してなることを特徴とする請求項 8 に記載の相補型薄膜トランジスタ回路。

【請求項 10】 前記熱処理は、レーザ照射であることを特徴とする請求項 9 に記載の相補型薄膜トランジスタ回路。

【請求項 11】 前記単結晶粒は、非晶質または多晶質のシリコン膜に熱処理を施してなるシリコン単結晶粒であることを特徴とする請求項 7～請求項 10 のいずれか一つに記載の相補型薄膜トランジスタ回路。

【請求項 12】 請求項 1～請求項 11 のいずれか一つに記載の相補型薄膜トランジスタ回路を備えることを特徴とする電気光学装置。

【請求項 13】 請求項 1～請求項 11 のいずれか一つに記載の相補型薄膜トランジスタ回路を備えることを特徴とする電子機器。

【発明の詳細な説明】

【0001】


【発明の属する技術分野】

本発明は、薄膜トランジスタ (TFT) で構成する相補型薄膜トランジスタ回路 (以下、CMOS 回路と称する。) に関する。特に半導体膜にレーザ照射を行うことにより作製した略単結晶半導体膜を用いた薄膜トランジスタで構成する相補型薄膜トランジスタ回路に関する。また、これを用いた電気光学装置、及び電子機器に関する。

・【0002】

【従来の技術】

薄膜トランジスタを汎用ガラス基板に低温で製造する方法として下記非特許文献 1 及び非特許文献 2 の欄に示した文献には、基板上の絶縁膜に孔をあけて、この絶縁膜上及び孔内に非晶質シリコン膜を形成した後、この非晶質シリコン膜に



レーザ光を照射して、前記孔の底部内の非晶質シリコンを非熔融状態に保持しながらその他の部分の非晶質シリコン膜を熔融状態にすることにより、非熔融状態に保持された非晶質シリコンを結晶核とした結晶成長を生じさせて、非晶質シリコン膜の面内における前記孔を中心とした領域を略単結晶シリコン膜とする方法が開示されている。

【0003】

このような略単結晶半導体膜は、略単結晶半導体膜には結晶粒界がない、もしくはは少ないため、多結晶半導体膜と比較して電子や正孔といったキャリアが流れる際の障壁が大きく低減されている。

【0004】

そして、この略単結晶半導体膜を半導体薄膜に用いて半導体装置を構成することにより、オフ電流や移動度に優れ、高速動作に対応可能な薄膜トランジスタを容易に実現可能である。

【0005】

【非特許文献1】

「Single Crystal Thin Film Transistors」(IBM TECHNICAL DISCLOSURE BULLETIN Aug.1993 pp257-258)

【非特許文献2】

「Advanced Excimer-Laser Crystallization Techniques of Si Thin-Film For Location Control of Large Grain on Glass」(R. Ishihara等proc. SPIE 2001, vol.4295, p14~23.)

【0006】

【発明が解決しようとする課題】

ところで、NMOSトランジスタとPMOSトランジスタとによりCMOS回路を構成する場合、NMOSトランジスタのチャネル領域が形成された半導体膜の面方位とPMOSトランジスタのチャネル領域が形成された半導体膜の面方位とが異なると、該面方位の違いに起因してNMOSトランジスタとPMOSトランジスタとの間で特性にばらつきが発生してしまう。この特性のばらつきは、動作状態の不安定を招き、CMOS回路の誤動作の原因となる。これは、上述した

製造方法により形成された良質な略単結晶薄膜を用いてCMOS回路を作製する場合においても同様である。

【0007】

したがって、本発明は上述した従来の実情に鑑みて創案されたものであり、第1導電型の薄膜トランジスタと第2導電型の薄膜トランジスタとの特性のばらつきが防止され、安定して動作する信頼性の高い相補型薄膜トランジスタ回路を提供することを目的とする。また、これを用いた信頼性の高い電気光学装置、及び電子機器を提供することを目的とする。

【0008】

【課題を解決するための手段】

以上のような目的を達成する本発明に係る相補型薄膜トランジスタ回路は、基板の絶縁性表面上に設けられた複数の起点部のそれぞれを略中心として形成された単結晶粒を用いて形成された第1導電型の薄膜トランジスタと第2導電型の薄膜トランジスタとを備え、第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタは、ドレイン電流の向きを揃えて形成されるとともに少なくとも該第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタのチャネル領域が同一面方位を有する単結晶粒内に形成されていることを特徴とする。

【0009】

以上のように構成された本発明に係る相補型薄膜トランジスタ回路は、相補型薄膜トランジスタ回路を構成する第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタのチャネル領域の面方位を揃えて構成されている。これにより、面方位による特性への影響は第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタの双方に同様に及ぶこととなり、面方位に起因した影響が一方のトランジスタのみに偏重的に及ぶことがない。すなわち、CMOS回路を構成するNMOSトランジスタとPMOSトランジスタとの特性の違いを、移動度などの物理的に予想可能な要件のみとすることが可能である。

【0010】

その結果、この相補型薄膜トランジスタ回路では、該相補型薄膜トランジスタ回路を構成する第1導電型の薄膜トランジスタと第2導電型の薄膜トランジスタ

におけるチャネル領域の面方位に起因した特性のばらつきの発生を防止することができる。したがって、本発明に係る相補型薄膜トランジスタ回路によれば、チャネル領域の面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高い相補型薄膜トランジスタ回路を実現できる。

【0011】

以上のように構成された本発明に係る相補型薄膜トランジスタ回路においては、第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタのチャネル領域が、1つの単結晶粒内に形成されていることが好ましい。これにより、1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタのチャネル領域の面方位を確実に揃えることができる。

【0012】

また、以上のように構成された本発明に係る相補型薄膜トランジスタ回路においては、第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタのチャネル領域を挟んで両側に低濃度不純物領域からなる電界緩和領域を有し、該電界緩和領域とチャネル領域とが同一単結晶内に形成されていることが好ましい。これにより、ホットエレクトロン効果を抑えることできる、信頼性の高い相補型薄膜トランジスタ回路を構成することができる。

【0013】

また、以上のように構成された本発明に係る相補型薄膜トランジスタ回路においては、チャネル領域は単結晶粒における起点部を含まない領域に形成されていることが好ましい。起点部を含む領域においては、結晶欠陥など結晶の乱れを生じやすく、移動度の低下など電気的特性のばらつきや低下をもたらすことになる。特に、起点部を含む領域に、薄膜トランジスタの特性に最も大きな影響を及ぼすチャネル領域を形成すると良好な特性を得ることができない。

【0014】

したがって、起点部を含まない領域にチャネル領域を形成することにより、移動特性のばらつきや低下が生じることがなく、移動度等の特性が良好な相補型薄膜トランジスタ回路を構成することができる。

【0015】

そして、起点部を含まない領域にチャネル領域を形成するためには、第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタを、単結晶粒をコの字型にパターンニングした半導体膜、または単結晶粒を口の字型にパターンニングした半導体膜に形成することが好ましい。このような形状にパターンニングした半導体膜に第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタを形成することにより、起点部を避けて薄膜トランジスタを形成することができる。すなわち、起点部を含まない領域にチャネル領域を形成することができる。

【0016】

ここで、前記単結晶粒は、非晶質または多晶質の半導体膜に熱処理を施して形成されたものであることが好ましい。このようにして形成された単結晶粒は、良質な単結晶粒とされ、これを用いて薄膜トランジスタを形成することにより、良好な特性を有する相補型薄膜トランジスタ回路が実現できる。

【0017】

また、上述した起点部は、絶縁基板に形成された凹部であることが好ましい。これにより、結晶化の起点となるべき位置を容易に且つ確実に制御して単結晶粒が形成されるため、形成位置を正確に制御可能な相補型薄膜トランジスタ回路を実現可能である。

【0018】

そして、上述した単結晶粒は、凹部内の半導体膜に非溶融状態の部分が残ри、他の部分が溶融する条件で熱処理が施されたものであることが好ましい。熱処理後の半導体膜の結晶化は、非溶融状態となっている凹部の内部、特に底部近傍から始まって周囲へ進行する。このとき、凹部の寸法を適宜設定しておくことにより、凹部の上部（開口部）には1個の結晶粒のみが到達するようになる。そして、半導体膜の溶融した部分では、凹部の上部に到達した1個の結晶粒を核として結晶化が行われるようになるので凹部を略中心とした範囲に単結晶粒を含む半導体膜を形成することが可能となる。これにより、良質な単結晶粒が得られ、この単結晶粒を用いることで良好な特性を有する薄膜トランジスタを実現することができる。

【0019】

また、上述した熱処理はレーザ照射によって行うことが好適である。レーザを用いることにより、熱処理を効率よく且つ確実に行うことが可能であり、効率よく且つ確実に単結晶粒が形成される。ここで用いるレーザとしては、エキシマレーザ、固体レーザ、ガスレーザなど種々のものが挙げられる。

【0020】

上述した単結晶粒は、非晶質または多晶質のシリコン膜に熱処理を施して形成されたシリコン単結晶粒であることが好ましい。これにより、良質なシリコン単結晶粒を用いて薄膜トランジスタを形成することができ、良好な特性を有する相補型薄膜トランジスタ回路が実現できる。

【0021】

また、上述した相補型薄膜トランジスタ回路は、例えば液晶表示装置や有機エレクトロルミネッセンス（EL）表示装置の表示画素の駆動素子として好適である。これにより、表示品質に優れた電気光学装置を構成することが可能となる。そして、上述した相補型薄膜トランジスタ回路を用いて、例えばこの電気光学装置を用いて電子機器を構成することにより、品質の良い電子機器を構成することが可能になる。

【0022】

【発明の実施の形態】

以下に添付図面を参照して、本発明の好適な実施形態を詳細に説明する。なお、本発明は、以下の記述に限定されるものではなく、本発明の要旨を逸脱しない範囲において適宜変更可能である。

【0023】

<第1の実施の形態>

図1、図2及び図3は、本発明に係るCMOS回路を用いて構成したNOT回路であるCMOSインバータ（以下、単にインバータと称する。）を示す図であり、図1は平面図、図2は図1に示すA-A'方向の断面図、図3は図1に示すB-B'方向の断面図である。また、図4にこのCMOS回路の回路図を示す。なお、図1においては、主にゲート電極とトランジスタ領域（ソース領域、ドレイン領域、及びチャネル領域）に着目し、それ以外の構成については、省略して

示している。また、図1では、チャネル領域26等の形状をわかりやすくするために、ゲート電極22を1点鎖線により示すとともに、下側に存在するチャネル領域26等を透過させて示している。

【0024】

本実施の形態に係るインバータは、図2及び図3に示すように、ガラス基板10上に第1導電型の薄膜トランジスタと第2導電型の薄膜トランジスタとの2つのタイプの薄膜トランジスタが形成されて構成されている。以下、その構成について詳細に説明する。

【0025】

図2及び図3に示すように、ガラス基板10上に絶縁膜12が形成されている。そして、図1に示すようにトランジスタ領域となる半導体膜、すなわち略単結晶シリコン膜をコの字型にパターニングされたシリコン膜16が絶縁膜12上に形成されている。図1に示すように、絶縁膜12においてコの字型に形成されたシリコン膜16に囲われた領域の略中央部には、厚み方向に、略単結晶シリコン膜の結晶化の際の起点となされた複数の起点部52が凹状に形成されている。以降の説明では、この起点部（凹部）を「グレイン・フィルタ」と称することとする。グレイン・フィルタ52はシリコン膜16により埋め込まれている。ここで、シリコン膜16は、後述するようにグレイン・フィルタ52を中心に形成された複数の単結晶粒、具体的には略正方形に形成された隣接する単結晶粒のうち単結晶粒161が用いられている。

【0026】

そして、この単結晶粒161内に2つのタイプの薄膜トランジスタ、すなわちN型のMOSトランジスタ（以下、NMOSトランジスタと称する。）とP型のMOSトランジスタ（以下、PMOSトランジスタと称する。）とが一つずつ形成され、これらの薄膜トランジスタによりCMOS回路が構成されている。

【0027】

NMOSトランジスタは、図1に示すように、グレイン・フィルタ52を含む領域を避けてコの字型にパターニングされたシリコン膜16のうち突出部16aを含む略長方形の領域を用いて形成されている。この略長方形の領域のうち、突

出部 16a の先端側の領域が高濃度のソース領域 21 とされ、その反対側の領域が高濃度のドレイン領域 23 とされている。そして、該ソース領域 21 とドレイン領域 23 とに挟まれた領域がチャンネル領域 26 とされている。

【0028】

また、図 2 に示すようにチャンネル領域 26 を挟んで両側には低濃度不純物領域からなる電界緩和領域 36、37 が形成されており、LDD (Lightly Doped Drain) 構造とされている。これによりホットエレクトロン効果を抑え、信頼性の高い薄膜トランジスタを構成することができる。なお、本発明においては、必ずしも電界緩和領域 36、37 を設けた LDD 構造とする必要はなく、電界緩和領域を設けない構成とすることもできる。

【0029】

また、チャンネル領域 26 の上部には、酸化シリコン膜 20 を介して、後述する PMOS トランジスタのゲート電極 222 とともにゲート電極 22 を構成するゲート電極 221 が略長方形の長辺に略垂直な方向に形成され、さらに酸化シリコン膜 28 が形成されている。

【0030】

そして、ソース領域 21 の上部には、酸化シリコン膜 20 及び酸化シリコン膜 28 を介してソース電極 30 が形成されており、該ソース電極 30 は、コンタクトホール C1 を介してソース領域 21 と接続されている。

【0031】

また、ドレイン領域 23 の上部には、酸化シリコン膜 20 及び酸化シリコン膜 28 を介して出力用のドレイン電極 311 が形成されている。ここで、出力用のドレイン電極 311 は、PMOS トランジスタの出力用のドレイン電極 312 とともに共通ドレイン電極 31 を構成する。そして、ドレイン電極 311 は、コンタクトホール C2 を介してドレイン領域 23 に接続されている。

【0032】

一方、PMOS トランジスタは、図 3 に示すように、コの字型にパターニングされたシリコン膜 16 のうち突出部 16b を含む略長方形の領域を用いて形成されている。この略長方形の領域のうち、突出部 16b の先端側の領域が高濃度の

ソース領域 25 され、その反対側の領域が高濃度のドレイン領域 24 とされている。そして、該ソース領域 25 とドレイン領域 24 とに挟まれた領域がチャンネル領域 27 とされている。

【0033】

また、図 3 に示すようにチャンネル領域 27 を挟んで両側には、低濃度不純物領域からなる電界緩和領域 38、39 が形成されており、LDD 構造とされている。これによりホットエレクトロン効果を抑え、信頼性の高い薄膜トランジスタを構成することができる。なお、本発明においては、必ずしも電界緩和領域 38、39 を設けた LDD 構造とする必要はなく、電界緩和領域を設けない構成とすることもできる。

【0034】

また、チャンネル領域 27 の上部には、酸化シリコン膜 20 を介して、NMOS トランジスタのゲート電極 221 とともに電極 22 を構成するゲート電極 222 が略長方形の長辺に略垂直な方向に形成され、さらに酸化シリコン膜 28 が形成されている。

【0035】

そして、ソース領域 25 の上部には、酸化シリコン膜 20 及び酸化シリコン膜 28 を介してソース電極 32 が形成されており、該ソース電極 32 は、コンタクトホール C4 を介してソース領域 25 と接続されている。

【0036】

また、ドレイン領域 24 の上部には、酸化シリコン膜 20 及び酸化シリコン膜 28 を介して出力用のドレイン電極 312 が形成されている。ここで、出力用のドレイン電極 312 は、NMOS トランジスタのドレイン電極 311 とともに共通ドレイン電極 31 を構成する。そして、ドレイン電極 312 は、コンタクトホール C3 を介してドレイン領域 24 に接続されている。

【0037】

NMOS トランジスタと PMOS トランジスタとをそれぞれ異なる面方位を有する領域、具体的には異なる面方位を有する結晶粒に形成して CMOS 回路を構成した場合には、形成領域の面方位の違いに起因してこの 2 つの薄膜トランジス

タの動作状態、すなわち特性にばらつきが生じてしまう。この特性のばらつきは、誤動作の原因となる虞もあり、回路動作の信頼性に影響する虞もある。

【0038】

そこで、本実施の形態のインバータでは、CMOS回路を構成するNMOSトランジスタ及びPMOSトランジスタの両方を一つの単結晶粒内の領域に形成する。より具体的に述べると、CMOS回路を構成するNMOSトランジスタ及びPMOSトランジスタにおいて、薄膜トランジスタの特性に最も大きな影響を及ぼすチャネル領域を一つの単結晶粒内に形成する。そして、両方の薄膜トランジスタにおけるドレイン電流の流れる向きを揃えて構成する。また、LDD構造を有する場合には、電界緩和領域も一つの単結晶粒内の領域に形成する。

【0039】

このような構成とすることにより、CMOS回路を構成するNMOSトランジスタ及びPMOSトランジスタのチャネル領域及び電界緩和領域の面方位を揃えることができる。これにより、面方位による特性への影響はNMOSトランジスタ及びPMOSトランジスタの双方に同様に及ぶため、面方位に起因した影響が一方のトランジスタのみに偏重的に及ぶことがない。すなわち、CMOS回路を構成するNMOSトランジスタとPMOSトランジスタとの特性の違いを、移動度などの物理的に予想可能な要件のみとすることが可能である。

【0040】

その結果、CMOS回路を構成するNMOSトランジスタとPMOSトランジスタにおけるチャネル領域及び電界緩和領域の面方位に起因した特性のばらつきの発生を防止することができるという効果が得られる。したがって、このインバータによれば、チャネル領域及び電界緩和領域の面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高いインバータを実現できる。

【0041】

また、このインバータにおいては、グレイン・フィルタ52を含む領域を避けてそれぞれの薄膜トランジスタを形成している。

【0042】

通常、グレイン・フィルタ52を含む領域においては、結晶欠陥など結晶の乱

れを生じやすく、移動度の低下など電気的特性のばらつきや低下をもたらすことになる。特に薄膜トランジスタの特性に最も大きな影響を及ぼすチャンネル領域をグレイン・フィルタ 52 を含む領域に形成すると良好な特性を得ることができない。

【0043】

しかしながら、このインバータでは、グレイン・フィルタ 52 を避けて薄膜トランジスタを、具体的にはチャンネル領域 26、27 を形成しているため、グレイン・フィルタ 52 の影響により移動特性のばらつきや低下が生じることがなく、移動度等の特性が良好な CMOS 回路を実現することができる。

【0044】

なお、本実施の形態では、NMOS トランジスタと PMOS トランジスタとの構成要素を全て単結晶粒 161 内に形成して CMOS 回路を構成しているが、ソース領域及びドレイン領域など、前述のチャンネル領域及び電界緩和領域以外の要素は、隣接する単結晶粒内に延在する構成とすることも可能である。すなわち、PMOS トランジスタ及び NMOS トランジスタをそれぞれ複数の単結晶粒を用いて形成することもできる。このような構成とした場合においても、NMOS トランジスタ及び PMOS トランジスタのチャンネル領域はチャンネル領域及び電界緩和領域は一つの単結晶粒内に形成され、面方位が揃えられているため、上述した本発明の効果を達成することができる。

【0045】

なお、本実施の形態においては、ドレイン電極 31 の面積を大きく取り、NMOS トランジスタ及び PMOS トランジスタのドレイン領域 23、24 からそれぞれコンタクトを取って共通電極に出力を取り出す形態について説明したが、出力用のコンタクト自体を共通とすることもできる。すなわち、出力用のコンタクト、ドレイン電極を、NMOS トランジスタ及び PMOS トランジスタとで共通にして、例えば隣接する単結晶粒 161、162 の結晶粒界 54 上に形成することができる。ここで、結晶粒界上は、半導体膜が他の領域よりも盛り上がって形成されるため、電極となる金属とのコンタクトを取りやすいというメリットがある。

【0046】

このようなインバータは、以下のようにして作製することができる。インバータの作製には、薄膜トランジスタの活性化領域として用いるためのシリコン膜をガラス基板上に形成する工程と、形成したシリコン膜を用いて薄膜トランジスタを形成する工程とを含んでいる。以下、それぞれの工程について詳細に説明する。

【0047】

図5及び図6は、シリコン膜を形成する工程について説明する図である。図5は、シリコン膜が形成されるガラス基板10の部分的な平面図を示している。また、図6は、図5に示すC-C'方向の断面に対応している。

【0048】

図5及び図6(a)に示すように、ガラス基板(絶縁基板)10上に、絶縁膜としての酸化シリコン膜12を形成する。この酸化シリコン膜12は、例えばプラズマ化学気相堆積法(PECVD法)、低圧化学気相堆積法(LPCVD法)、スパッタリング法などの各種成膜法によって形成することができる。

【0049】

次に、酸化シリコン膜12に、半導体膜の結晶化の際の起点となる複数の起点部52、すなわちグレイン・フィルタ52を、規則的に配列されるように配置間隔を適宜設定して形成する。このグレイン・フィルタ52は、1つの結晶核のみを優先的に成長させる役割を担うためのものであり、凹状に形成される。本実施の形態におけるグレイン・フィルタ52は、例えば、直径100nm程度、高さ750nm程度の円筒状に形成することが好適である。なお、グレイン・フィルタ52は、円筒状以外の形状、例えば角柱状などとしても良い。

【0050】

グレイン・フィルタ52は、例えば次のようにして形成することができる。まず、グレイン・フィルタ52の配置のマスクを用いて酸化シリコン膜12にフォトリソグラフ膜を塗布する。そして、このフォトリソグラフ膜を露光、現像して、グレイン・フィルタ52の形成位置を露出させる開口部を有するフォトリソグラフ膜(図示せず)を酸化シリコン膜12上に形成する。

【0051】

次に、このフォトリソ膜をエッチングマスクとして用いて反応性イオンエッチングを行い、グレイン・フィルタ 52 の形成位置を選択的にエッチングする。この後、酸化シリコン膜 12 上のフォトリソ膜を除去することによってグレイン・フィルタ 52 を形成することができる。

【0052】

また、より小径のグレイン・フィルタ 52 を形成する場合には、凹部を形成した後、該凹部（穴部）の側壁に PECVD 法などによって酸化膜を径方向に成長させることにより穴径を狭めることで、より小径のグレイン・フィルタ 52 を形成することが可能である。

【0053】

次に、図 6（b）に示すように、LPCVD 法などの成膜法によって酸化シリコン膜 12 上及びグレイン・フィルタ 52 内に半導体膜を形成する。本実施の形態では、該半導体膜として非晶質のシリコン膜 14 を形成する。この非晶質のシリコン膜 14 は、50～500 nm 程度の膜厚に形成することが好適である。なお、非晶質のシリコン膜 14 に代えて多晶質のシリコン膜を形成しても良い。

【0054】

次に、図 6（c）に示すように、非晶質のシリコン膜 14 に対して、レーザ照射による熱処理を行い、各グレイン・フィルタ 52 のそれぞれを略中心とする複数の単結晶粒を形成する。このレーザ照射は、例えば波長 308 nm、パルス幅 20～30 ns の XeCl パルスエキシマレーザを用いて、エネルギー密度が 0.4～1.5 J/cm²となるように行うことが好適である。このような条件でレーザ照射を行うことにより、照射したレーザは、そのほとんどがシリコン膜 14 の表面付近で吸収される。これは、XeCl パルスエキシマレーザの波長（308 nm）における非晶質シリコンの吸収係数が 0.139 nm⁻¹と比較的に大きいためである。

【0055】

また、シリコン膜 14 に対するレーザ照射は、用いるレーザ照射用の装置の能力（照射可能面積）に応じて、照射方法を適宜選択することが可能である。例え

ば、照射可能面積が小さい場合であれば、各グレイン・フィルタ 52 とその近傍を選択的に照射する方法が考えられる。また、照射可能面積が比較的に大きい場合には、いくつかのグレイン・フィルタ 52 を含む範囲を順次選択してそれらの範囲に対するレーザ照射を複数回繰り返す方法などが考えられる。さらに、装置能力が非常に高い場合には、1 回のレーザ照射によって全てのグレイン・フィルタ 52 を含む範囲に対するレーザ照射を行っても良い。

【0056】

上述したレーザ照射の条件を適宜選択することにより、シリコン膜 14 を、グレイン・フィルタ 52 内の底部には非熔融状態の部分が残し、それ以外の部分については略完全熔融状態となるようにする。これにより、レーザ照射後のシリコンの結晶成長は、グレイン・フィルタ 52 の底部近傍の非熔融状態の部分で先に始まり、シリコン膜 14 の表面付近、すなわち略完全熔融状態の部分へ進行する。

【0057】

グレイン・フィルタ 52 の底部では、いくつかの結晶粒が発生する。このとき、グレイン・フィルタ 52 の断面寸法（本実施の形態においては、円の直径）を 1 個の結晶粒と同程度か少し小さい程度にしておくことにより、グレイン・フィルタ 52 の上部（開口部）には、1 個の結晶粒のみが到達するようになる。これにより、シリコン膜 14 の略完全熔融状態の部分では、グレイン・フィルタ 52 の上部に到達した 1 個の結晶粒を核として結晶成長が進行するようになり、図 6（d）に示すように、グレイン・フィルタ 52 を中心とした大粒径の結晶粒、すなわち、略単結晶粒からなるシリコン膜 16a を規則的に配列してなるシリコン膜 16 が形成される。

【0058】

図 7 は、ガラス基板 10 上に形成されるシリコン膜 16 を示す平面図である。同図に示すように、各シリコン膜 16a は、各グレイン・フィルタ 52 を略中心として範囲に形成される。各シリコン膜 16a の周辺部が当接する位置には、結晶粒界 54 が生じる。このような、シリコン膜 16a を規則的に配列してなるシリコン膜 16 を用いて薄膜トランジスタを形成して図 1～図 4 に示した CMOS

回路を構成する。

【0059】

次に、シリコン膜 16 を用いて薄膜トランジスタを形成する工程（素子形成工程）について説明する。

【0060】

図 8～図 13 は、上述したシリコン膜 16 を用いて CMOS トランジスタを形成する工程を説明する図である。なお、図 8 は、図 1 における A-A' 方向の断面図であり、NMOS トランジスタの構成を示す縦断面図である。また、図 9 は、図 1 における B-B' 方向の断面図であり、PMOS トランジスタの構成を示す縦断面図である。

【0061】

まず、上述したシリコン膜 16 において一つのシリコン膜 16a であるシリコンの単結晶粒 161 のみを選択し、この単結晶粒 161 内にコの字型のシリコン膜が残るようにパターニングし、CMOS トランジスタの形成に不要となる部分を除去してトランジスタ領域を成形する。

【0062】

ここで、コの字型のシリコン膜、すなわちトランジスタ領域において、グレイン・フィルタ 52 を挟んで略半分の領域の一方（図 1 においては、下側半分の領域）が NMOS トランジスタ用のトランジスタ領域となる。また、コの字型のトランジスタ領域において、グレイン・フィルタ 52 を挟んで略半分の領域の他方（図 1 においては、上側半分の領域）が PMOS トランジスタ用のトランジスタ領域となる。

【0063】

次に、酸化シリコン膜 12 及びパターニングしたシリコン膜 16 の上面に電子サイクロトロン共鳴 PECVD 法（ECR-PECVD 法）または PECVD 法等の成膜方法によって酸化シリコン膜 20 を形成する。この酸化シリコン膜 20 は、薄膜トランジスタのゲート絶縁膜として機能する。

【0064】

次に、スパッタリング法などの成膜方法によってタンタル、アルミニウム等の

金属薄膜を形成した後にパターニングを行うことによって図8及び図10に示すようにNMOSトランジスタ用のトランジスタ領域とPMOSトランジスタ用のトランジスタ領域とにまたがるゲート電極221、222(22)を形成する。ここで、ゲート電極221、222(22)を形成する際には、グレイン・フィルタ52が含まれる領域に形成しても構わない。

【0065】

次に、PMOSトランジスタ用のトランジスタ領域全体にレジストマスク(図示せず)を形成し、N型不純物元素を低濃度にイオン注入することにより、自己整合的にN型のソース・ドレイン領域を形成する。

【0066】

続いて、図9に示すようにNMOSトランジスタ用のトランジスタ領域にゲート電極221を広めに覆うレジストマスク40を形成した後、N型不純物元素を高濃度にイオン注入し、XeClエキシマレーザを $400\text{ mJ}/\text{cm}^2$ 程度のエネルギー密度に調整して照射して不純物元素を活性化する。その結果、高濃度不純物領域のソース領域21、低濃度不純物領域の電界緩和領域36、高濃度不純物領域のドレイン領域23及び低濃度不純物領域の電界緩和領域37が形成される。また、不純物が導入されなかった部分はチャネル領域26となる。このようにして、LDD構造のNMOSトランジスタを形成することができる。

【0067】

次に、PMOSトランジスタ用のトランジスタ領域に形成したレジストマスクとレジストマスク40とを除去する。そして、NMOSトランジスタ用のトランジスタ領域全体にレジストマスク(図示せず)を形成し、P型不純物元素を低濃度にイオン注入することにより、自己整合的にP型のソース・ドレイン領域を形成する。

【0068】

続いて、図11に示すようにPMOSトランジスタ用のトランジスタ領域にゲート電極222を広めに覆うレジストマスク41を形成した後、P型不純物元素を高濃度にイオン注入し、XeClエキシマレーザを $400\text{ mJ}/\text{cm}^2$ 程度のエネルギー密度に調整して照射して不純物元素を活性化する。その結果、高濃度

不純物領域のソース領域 25、低濃度不純物領域の電界緩和領域 39、高濃度不純物領域のドレイン領域 24 及び低濃度不純物領域の電界緩和領域 38 が形成される。また、不純物が導入されなかった部分はチャネル領域 27 となる。このようにして、LDD 構造の PMOS トランジスタを形成することができる。この後、NMOS トランジスタ用のトランジスタ領域に形成したレジストマスクとレジストマスク 41 とを除去する。

【0069】

なお、前記の不純物元素の活性化は、レーザ照射の代わりに 250℃～400℃程度の温度で熱処理を行うことにより行っても良い。

【0070】

次に、図 12 及び図 13 に示すように酸化シリコン膜 20 及びゲート電極 22 の上面に PECVD 法などの成膜法によって 500 nm 程度の膜厚の酸化シリコン膜 28 を形成する。次に、酸化シリコン膜 20、28 を貫通してソース領域 21、25 のそれぞれに至るコンタクトホール C1、C4 を形成し、これらのコンタクトホール C1、C4 内にスパッタリング法などの成膜法によりアルミニウム、タンゲステン等の金属を埋め込み、その後パターニングすることによってソース電極 30、32 を形成する。

【0071】

また、ドレイン領域 23 とドレイン領域 24 にまたがる領域に、酸化シリコン膜 20、28 を貫通してドレイン領域 23、24 のそれぞれに接続するコンタクトホール C2、C3 を形成する。そして、このコンタクトホール C2 内及び C3 内にスパッタリング法などの成膜法によりアルミニウム、タンゲステン等の金属を埋め込み、その後パターニングすることによってドレイン電極 311 とドレイン電極 312 からなる共通ドレイン電極 31 を形成する。以上に説明した製造方法によって、本実施の形態のインバータが形成される。

【0072】

<第 2 の実施の形態>

図 14 及び図 15 は、本発明に係る CMOS 回路を用いて構成した CMOS インバータの他の構成例を示す図であり、図 14 は平面図、図 15 は回路図である

。なお、図14においては、主にゲート電極とトランジスタ領域（ソース領域、ドレイン領域、及びチャネル領域）に着目し、それ以外の構成については、省略して示している。また、理解の容易のため、上述した第1の実施の形態と同様の部材には上記と同じ符号を付してある。

【0073】

本実施の形態に係るインバータは、図14に示すように、図1に示すCMOS回路にNMOSトランジスタ及びPMOSトランジスタが1つずつ追加されて構成されている。

【0074】

ここで、追加されたNMOSトランジスタ及びPMOSトランジスタは、単結晶粒161に結晶粒界54を介して隣接する単結晶粒162をグレイン・フィルタ52を含む領域を避けてコの字型にパターニングしたトランジスタ領域である単結晶シリコン膜17に形成されている。すなわち、このCMOS回路は、単結晶粒161に形成されたNMOSトランジスタN1及びPMOSトランジスタP1、単結晶粒162に形成されたNMOSトランジスタN2及びPMOSトランジスタP2の4つの薄膜トランジスタにより構成されている。ここで、単結晶粒161は第1の面方位を有し、単結晶粒162は第1の面方位と異なる第2の面方位を有する。

【0075】

なお、NMOSトランジスタN1及びPMOSトランジスタP1については、第1の実施の形態と同様であるため、前記の説明を参照することとし、詳細な説明を省略する。

【0076】

コの字型の単結晶シリコン膜17において、グレイン・フィルタ52を挟んで略半分の略長方形の領域の一方（図14においては、下側半分の領域）がNMOSトランジスタN2用のトランジスタ領域とされている。また、コの字型の単結晶シリコン膜17において、グレイン・フィルタ52を挟んで略半分の略長方形の領域の他方（図14においては、上側半分の領域）がPMOSトランジスタP2用のトランジスタ領域とされている。

【0077】

NMOSトランジスタN2は、図14に示すようにコの字型にパターニングされた単結晶シリコン膜17のうち、グレイン・フィルタ52を挟んで略半分の略長方形の領域の一方、具体的には突出部16cを含む略長方形の領域に形成されている。この略長方形の領域のうち、突出部16cの先端側の領域が高濃度のドレイン領域301とされ、その反対側の領域が高濃度のソース領域302とされている。そして、該ソース領域302とドレイン領域301とに挟まれた領域がチャネル領域305とされている。

【0078】

また、チャネル領域305の上部には、NMOSトランジスタN1とPMOSトランジスタP1とで共通とされたゲート電極22が略長方形の長辺に略垂直な方向に形成されている。

【0079】

そして、ソース領域302の上部にはソース電極308が形成されており、該ソース電極308は、コンタクトホール（図示せず）を介してソース領域302と接続されている。また、ドレイン領域301の上部にはドレイン電極307が形成されており、該ドレイン電極307は、コンタクトホール（図示せず）を介してドレイン領域301と接続されている。

【0080】

一方、PMOSトランジスタP2は、図14に示すように、コの字型にパターニングされた単結晶シリコン膜17のうち、グレイン・フィルタ52を挟んで略半分の略長方形の領域の他方、具体的には突出部16dを含む略長方形の領域に形成されている。この略長方形の領域のうち、突出部16dの先端側の領域が高濃度のドレイン領域304とされ、その反対側の領域が高濃度のソース領域303とされている。そして、該ソース領域303とドレイン領域304とに挟まれた領域がチャネル領域306とされている。

【0081】

また、チャネル領域306の上部には、NMOSトランジスタN1とPMOSトランジスタP1とで共通とされたゲート電極22が略長方形の長辺に略垂直な

方向に形成されている。

【0082】

そして、ソース領域303の上部にはソース電極309が形成されており、該ソース電極309は、コンタクトホール（図示せず）を介してソース領域303と接続されている。また、ドレイン領域304の上部にはドレイン電極310が形成されており、該ドレイン電極310は、コンタクトホール（図示せず）を介してドレイン領域304と接続されている。

【0083】

そして、PMOSトランジスタP2と、NMOSトランジスタN2と、PMOSトランジスタP1と、NMOSトランジスタN1のゲート電極22が入力端子に接続される。また、PMOSトランジスタP1とNMOSトランジスタN1とのドレイン電極31が出力端子に接続され、PMOSトランジスタP1のソース電極32が配線311によりPMOSトランジスタP2のドレイン電極310に接続される。そして、PMOSトランジスタP2のソース電極309が図示しない電源電圧V_{dd}に接続され、NMOSトランジスタN1のソース電極30が配線312によりNMOSトランジスタN2のドレイン電極307に接続され、NMOSトランジスタN2のソース電極308が図示しない電源電圧V_{ss}に接続される。

【0084】

このインバータにおいては、N1、N2、P1、P2の4つの薄膜トランジスタが、異なる面方位を有する単結晶粒内にそれぞれ2つずつ形成されている。すなわち、第1の面方位を有する単結晶粒161内にN1及びP1が形成され、第2の面方位を有する単結晶粒162内にN2及びP2が形成されている。

【0085】

ここで、このCMOS回路に入力がされた場合の出力経路は、N2-N1、またはP2-P1となる。そして、どちらの経路の場合も、異なる面方位を有する単結晶内に形成された薄膜トランジスタを一つずつ経由することになる。したがって、面方位によるCMOS回路の特性への影響はどちらの経路においても双方に同様に及ぶため、面方位に起因した影響が一方の出力経路のみに偏重的に及ぶ

ことがない。

【0086】

その結果、上述した第1の実施の形態と同様に、チャネル領域の面方位に起因した特性のばらつきの発生を防止することができるという効果が得られる。したがって、このインバータ回路によれば、チャネル領域の面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高いインバータ回路を実現できる。

【0087】

このような構成のCMOS回路は、上述した第一の実施の形態と同様にして作製することができる。

【0088】

<第3の実施の形態>

図16及び図17は、本発明に係るCMOS回路を用いて構成したパスゲートの構成を示す図であり、図16は平面図であり、図17は回路図である。なお、図16においては、主にゲート電極とトランジスタ領域（ソース領域、ドレイン領域、及びチャネル領域）に着目し、それ以外の構成については、省略して示している。なお、理解の容易のため、上述した実施の形態と同様の部材には上記と同じ符号を付してある。

【0089】

本実施の形態に係るパスゲートは、第1の実施の形態と同様に、ガラス基板上の絶縁膜に形成されたグレイン・フィルタ52を半導体膜の結晶化の際の起点として形成された単結晶粒を用いて2つのタイプの薄膜トランジスタが形成されることにより構成されている。すなわち、単結晶粒161内にNMOSトランジスタとPMOSトランジスタとが形成されてCMOS回路が構成されている。そして、図17に示すようにCMOS回路のNMOSトランジスタとPMOSトランジスタとには相補的な信号が入力され、この信号は一方がhighの場合には他方はlowとされる。

【0090】

NMOSトランジスタは、図16に示すように、グレイン・フィルタ52を含む領域を避けて口の字型にパターンニングされたシリコン膜16のうち略半分を占

める略長方形の領域の一方（図 16 においては、下側半分の領域）に形成されている。この略長方形の領域の長手方向の一端側の領域（図 16 においては、左側半分の領域）が高濃度のソース領域 121 とされ、他端側の領域（図 16 においては、右側半分の領域）が高濃度のドレイン領域 123 とされている。そして、該ソース領域 121 とドレイン領域 123 とに挟まれた領域がチャンネル領域 126 とされている。

【0091】

また、チャンネル領域 126 の上部には、クロック制御のゲート電極 71 が略長方形の長辺に略垂直な方向に形成されている。該クロック制御のゲート電極 71 は、クロックライン 91 に接続されている。

【0092】

そして、ソース領域 121 の上部にはソース電極 130 が形成されており、該ソース電極 130 は、コンタクトホール（図示せず）を介してソース領域 121 と接続されている。また、ドレイン領域 123 の上部にはドレイン電極 131 が形成されており、該ドレイン電極 131 は、コンタクトホール（図示せず）を介してドレイン領域 123 と接続されている。ここで、ソース電極 130 及びドレイン電極 131 は、NMOS トランジスタと PMOS トランジスタとの共通電極とされている。

【0093】

一方、PMOS トランジスタは、図 16 に示すように、グレイン・フィルタ 52 を含む領域を避けて口の字型にパターニングされたシリコン膜 16 のうち略半分を占める略長方形の領域の他方（図 16 においては、上側半分の領域）に形成されている。この略長方形の領域の長手方向の一端側の領域（図 16 においては、左側半分の領域）が高濃度のソース領域 125 とされ、他端側の領域（図 16 においては、左側半分の領域）が高濃度のドレイン領域 124 とされている。そして、該ソース領域 125 とドレイン領域 124 とに挟まれた領域がチャンネル領域 127 とされている。

【0094】

また、チャンネル領域 127 の上部には、クロック制御のゲート電極 72 が略長

方形の長辺に略垂直な方向に形成されている。該クロック制御のゲート電極 72 は、クロックライン 92 に接続されている。

【0095】

そして、ソース領域 125 の上部にはソース電極 130 が形成されており、該ソース電極 130 は、コンタクトホール（図示せず）を介してソース領域 125 と接続されている。また、ドレイン領域 124 の上部にはドレイン電極 131 が形成されており、該ドレイン電極 131 は、コンタクトホール（図示せず）を介してドレイン領域 124 と接続されている。前述の通り、ソース電極 130 及びドレイン電極 131 は、NMOS トランジスタと P 型薄膜トランジスタとの共通電極とされている。

【0096】

このパスゲートにおいては、CMOS 回路を構成する NMOS トランジスタと PMOS トランジスタとがともに一つの単結晶粒 161 に形成されている。これにより、このパスゲートでは CMOS 回路を構成する NMOS トランジスタ及び PMOS トランジスタのチャネル領域の面方位を揃えることができるため、上述した本発明の効果を得ることができる。したがって、このパスゲートによれば、チャネル領域の面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高いパスゲートを実現できる。

【0097】

また、図 16 及び図 17 に示したパスゲートの変形例を図 18 に示す。図 18 に示したパスゲートは、図 16 及び図 17 に示したパスゲートにおいてソース領域及びドレイン領域を大きくした構成とされており、単結晶粒 161、162、163 に亘る広い領域に口の字型のシリコン膜 16 が形成されている。なお、ソース領域及びドレイン領域は、上記のパスゲートと同様に高濃度のソース領域及びドレイン領域とされている。

【0098】

そして、ソース電極 130 が単結晶粒 161 と単結晶粒 162 との間の結晶粒界 54 上に形成され、ドレイン電極 131 が単結晶粒 163 内のグレイン・フィルタ 52 上に形成されている。結晶粒界上及びグレイン・フィルタ上は、半導体

膜が他の領域よりも盛り上がって形成されるため、電極となる金属とのコンタクトを取りやすいというメリットがあり、このような構成とすることにより、ソース領域及びドレイン領域からのコンタクトを容易且つ確実に取ることができる。

【0099】

このパスゲートにおいても、CMOS回路を構成するNMOSトランジスタとPMOSトランジスタとがともに一つの単結晶粒161に形成されている。これにより、このパスゲートではCMOS回路を構成するNMOSトランジスタ及びPMOSトランジスタのチャネル領域の面方位を揃えることができるため、上述したパスゲートと同様に本発明の効果を得ることができる。したがって、このパスゲートによれば、チャネル領域の面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高いパスゲートを実現できる。

【0100】

<第4の実施の形態>

図19及び図20は、本発明に係るCMOS回路を用いて構成したクロックトインバータを示す図であり、図19は平面図であり、図20は回路図である。なお、図19においては、前記と同様に主にゲート電極とトランジスタ領域（ソース領域、ドレイン領域、及びチャネル領域）に着目し、それ以外の構成については、省略して示している。また、理解の容易のため、上述した実施の形態と同様の部材には上記と同じ符号を付してある。

【0101】

図19に示したクロックトインバータ回路は、図1に示したインバータ回路と基本的な構成は同じであるため、図1と異なる点についてのみ説明し、詳細な説明は省略する。

【0102】

このクロックトインバータは、図1に示したインバータにおいて、ドレイン領域23における単結晶粒161内の領域であってドレイン電極31とゲート電極221との間の領域、及びドレイン領域24における単結晶粒161内の領域であってドレイン電極31とゲート電極222との間の領域にクロック制御用のゲート電極71、72を設けた構成とされている。そして、コの字型のシリコン膜

16におけるクロック制御用のゲート電極71、72に対応した領域が、それぞれチャンネル領域73、74とされている。なお、クロック制御用のゲート電極71、72は、図示しないクロックラインに接続されている。

【0103】

また、ソース領域21及びソース領域25が、単結晶粒161から該単結晶粒161に隣接する単結晶粒162にまたがって形成されている。また、ドレイン領域23及びドレイン領域24が、単結晶粒161から該単結晶粒161に隣接する単結晶粒163にまたがって形成されている。

【0104】

そして、ソース電極30、32が、ソース領域21及びソース領域25における単結晶粒162内の領域にそれぞれ形成されている。また、ドレイン電極31が、単結晶粒161と単結晶粒162との間の結晶粒界55上に形成されている。ここで、結晶粒界上は半導体膜が他の領域よりも盛り上がって形成されるため、電極となる金属とのコンタクトを取りやすいというメリットがあり、このような構成とすることにより、ドレイン領域からのコンタクトを容易且つ確実に取ることができる。

【0105】

このクロックトインバータでは、4つのチャンネル領域26、27、73、74が全て一つの単結晶粒161内に形成されている。これにより、このクロックトインバータでは4つのチャンネル領域の面方位を全て同一に揃えることができるため、上述した本発明の効果を得ることができる。したがって、このクロックトインバータによれば、チャンネル領域の面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高いクロックトインバータを実現できる。

【0106】

<第5の実施の形態>

図21は、本発明に係るCMOS回路を用いて構成したクロックトインバータの他の構成例を示す平面図である。なお、図21においては、前記と同様に主にゲート電極とトランジスタ領域（ソース領域、ドレイン領域、及びチャンネル領域）に着目し、それ以外の構成については、省略して示している。また、理解の容

易のため、上述した実施の形態と同様の部材には上記と同じ符号を付してある。

【0107】

図21に示したクロックインバータは、図19に示したインバータの変形例であり、基本的な構成は同じであるため、図19と異なる点についてのみ説明し、詳細な説明は省略する。

【0108】

このクロックインバータでは、図21に示すようにソース領域21が単結晶粒161から該単結晶粒161に隣接する単結晶粒162にまたがって略L字型に形成されている。また、ソース領域25が単結晶粒161から該単結晶粒161に隣接する単結晶粒163にまたがって略L字型に形成されている。ここで、単結晶粒161は、第1の面方位を有し、単結晶粒162及び単結晶粒163は、第1の面方位とは異なる第2の面方位を有する。

【0109】

そして、ソース電極30、32を、単結晶粒162内におけるソース領域21の略先端部、及び単結晶粒163内におけるソース領域25の略先端部にそれぞれ設けている。そして、該ソース電極30、32はそれぞれ電源電圧 V_{ss} 、電源電圧 V_{dd} に接続されている。

【0110】

また、ソース電極30とゲート電極221との間の領域、及びソース電極32とゲート電極222との間の領域にクロック制御用のゲート電極71、72を設けた構成とされている。クロック制御用のゲート電極71、72は、図示しないクロックラインに接続されている。

【0111】

このように構成されたクロックインバータでは、NMOSトランジスタとPMOSトランジスタのそれぞれにおいて、第1の面方位を有する単結晶粒161内と、第2の面方位を有する単結晶粒162内とにチャネル領域がそれぞれ1つずつ形成されている。その結果、NMOSトランジスタ及びPMOSトランジスタにおいては、第1の面方位に起因する特性への影響と第2の面方位に起因する特性への影響が略等しくなるため、一方のトランジスタのみに偏重的に面方位に

起因した特性の影響が及ぶことなく、NMOSトランジスタとPMOSトランジスタにおける特性のばらつきの発生が防止されるという効果を得ることができる。したがって、このクロックトインバータによれば、チャネル領域の面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高いクロックトインバータを実現できる。

【0112】

<第6の実施の形態>

図23及び図24は、本発明に係るCMOS回路を用いて構成したクロックトインバータの他の構成例を示す図であり、図23は平面図であり、図24は回路図である。なお、図23においては、前記と同様に主にゲート電極とトランジスタ領域（ソース領域、ドレイン領域、及びチャネル領域）に着目し、それ以外の構成については、省略して示している。また、理解の容易のため、上述した実施の形態と同様の部材には上記と同じ符号を付してある。

【0113】

このクロックトインバータは、図1に示したインバータと図16に示したパスゲートとを組み合わせで構成されている。そして、図1に示したインバータと図16に示したパスゲートはともに本発明の効果を有して構成されているものであり、これらの組み合わせにより構成された本実施の形態のクロックトインバータ回路も上述した本発明の効果を有し、面方位に起因した特性のばらつきが防止されている。したがって、このクロックトインバータによれば、面方位の違いに起因した誤作動が防止され、動作の安定した信頼性の高いクロックトインバータを実現できる。

【0114】

<第7の実施の形態>

次に、本発明に係るCMOS回路の適用例について説明する。本発明に係るCMOS回路は、電気光学装置において、例えば液晶表示装置のスイッチング素子として、或いは有機EL表示装置の駆動素子等として利用することができる。

【0115】

図25は、本発明に係る電気光学装置の一例である表示装置100の回路の接

続状態を示す図である。図 25 に示すように、表示装置 100 は、表示領域 111 内に画素領域 112 を配置して構成される。画素領域 112 は、有機 EL 発光素子を駆動する薄膜トランジスタを使用している。

【0116】

ドライバ領域 115 からは、発光制御線 (V_{gp}) 及び書き込み制御線が各画素領域 112 に供給されている。ドライバ領域 116 からは、電流線 (I_{data}) 及び電源線 (V_{dd}) が各画素領域 112 に供給されている。書き込み制御線と電流線 (I_{data}) を制御することにより、各画素領域に対する電流プログラムが行われ、発光制御線 (V_{gp}) を制御することにより発光が制御される。そして、この表示装置 100 では、ドライバ領域 115 及び 116 において本発明に係る CMOS トランジスタが使用されている。

【0117】

なお、前記において説明した回路は、発光要素に電流発光素子を使用する場合の回路の一例であり、他の回路構成とすることも可能である。また、発光要素には電流発光素子以外にも液晶表示素子を用いることも可能であり、この場合は液晶表示素子に対応して回路構成を変更すればよい。

【0118】

<第 8 の実施の形態>

図 26 は、上述した表示装置 100 を適用可能な電子機器、すなわち本発明に係る CMOS 回路を適用可能な電子機器の具体例を示す図である。

【0119】

図 26 (a) は、本発明に係る CMOS 回路が搭載された携帯電話 230 であり、該携帯電話 230 は、電気光学装置 (表示パネル) 100、アンテナ部 231、音声出力部 232、音声入力部 233、及び操作部 234 などを備えて構成されている。携帯電話 230 においては、上述した表示装置 100 は表示パネルとして利用可能であり、本発明に係る CMOS 回路は、例えば表示パネルや、内蔵される集積回路において適用可能である。

【0120】

図 26 (b) は、本発明に係る CMOS 回路が搭載されたビデオカメラ 240

であり、該ビデオカメラ 240 は、電気光学装置（表示パネル）100、受像部 241、操作部 242、及び音声入力部 243などを備えて構成されている。ビデオカメラ 240 においては、上述した表示装置 100 は表示パネルとして利用可能であり、本発明に係る CMOS 回路は、例えば表示パネルや、内蔵される集積回路において適用可能である。

【0121】

図 26 (c) は、本発明に係る CMOS 回路が搭載された携帯型パーソナルコンピュータ 250 であり、該携帯型パーソナルコンピュータ 250 は、電気光学装置（表示パネル）100、カメラ部 251、及び操作部 252などを備えて構成されている。携帯型パーソナルコンピュータ 250 においては、上述した表示装置 100 は表示パネルとして利用可能であり、本発明に係る CMOS 回路は、例えば表示パネルや、内蔵される集積回路において適用可能である。

【0122】

図 26 (d) は、本発明に係る CMOS 回路が搭載されたヘッドマウントディスプレイ 260 であり、該ヘッドマウントディスプレイ 260 は、電気光学装置（表示パネル）100、バンド部 261、及び光学系収納部 262などを備えて構成されている。ヘッドマウントディスプレイ 260 においては、上述した表示装置 100 は表示パネルとして利用可能であり、本発明に係る CMOS 回路は、例えば表示パネルや、内蔵される集積回路において適用可能である。

【0123】

図 26 (e) は、本発明に係る薄膜トランジスタが搭載されたリア型プロジェクター 270 であり、該リア型プロジェクター 270 は、電気光学装置（光変調器）100、光源 272、光学系 273、ミラー 274、ミラー 275、及びスクリーン 276などを筐体内 271 に備えて構成されている。リア型プロジェクター 270 においては、上述した表示装置 100 は光変調器として利用可能であり、本発明に係る CMOS 回路は、例えば光変調器や、内蔵される集積回路において適用可能である。

【0124】

図 26 (f) は、本発明に係る CMOS 回路が搭載されたフロント型プロジェ

クター 280 であり、該フロント型プロジェクター 280 は、電気光学装置（画像表示源）100 及び光学系 281 などを筐体内 282 に備えて構成されており、画像をスクリーン 283 に表示可能とされている。フロント型プロジェクター 280 においては、上述した表示装置 100 は画像表示源として利用可能であり、本発明に係る CMOS 回路は、例えば画像表示源や、内蔵される集積回路において適用可能である。

【0125】

また、本発明に係る CMOS 回路は、前記の電子機器に限らず、あらゆる電子機器に適用可能である。例えば、前記の他にも、腕時計、IC カード、表示機能付きファックス装置、デジタルカメラのファインダ、携帯型 TV、DSP 装置、PDA、電子手帳、電光掲示板、宣伝広告用ディスプレイなどの製造にも適用可能であり、高品質な電子機器が実現可能である。

【0126】

なお、本発明は、NMOS トランジスタと PMOS トランジスタとにより CMOS 回路を構成しており、NMOS トランジスタからの出力と PMOS トランジスタからの出力とがつながる構成を含む回路であれば、広く適用することが可能である。

【図面の簡単な説明】

- 【図 1】 本発明に係る CMOS 回路を示す平面図である。
- 【図 2】 図 1 に示す A-A' 方向の断面図である。
- 【図 3】 図 1 に示す B-B' 方向の断面図である。
- 【図 4】 図 1 に示す CMOS 回路の回路図である。
- 【図 5】 シリコン膜の形成方法について説明する平面図である。
- 【図 6】 シリコン膜の形成方法について説明する工程図である。
- 【図 7】 ガラス基板上に形成されたシリコン膜を示す平面図である。
- 【図 8】 CMOS 回路の製造方法を説明する工程図である。
- 【図 9】 CMOS 回路の製造方法を説明する工程図である。
- 【図 10】 CMOS 回路の製造方法を説明する工程図である。
- 【図 11】 CMOS 回路の製造方法を説明する工程図である。

- 【図 1 2】 CMOS 回路の製造方法を説明する工程図である。
- 【図 1 3】 CMOS 回路の製造方法を説明する工程図である。
- 【図 1 4】 本発明に係る他の CMOS 回路を示す平面図である。
- 【図 1 5】 図 1 4 に示す CMOS 回路の回路図である。
- 【図 1 6】 本発明に係る他の CMOS 回路を示す平面図である。
- 【図 1 7】 図 1 6 に示す CMOS 回路の回路図である。
- 【図 1 8】 本発明に係る他の CMOS 回路を示す平面図である。
- 【図 1 9】 本発明に係る他の CMOS 回路を示す平面図である。
- 【図 2 0】 図 1 9 に示す CMOS 回路の回路図である。
- 【図 2 1】 本発明に係る他の CMOS 回路を示す平面図である。
- 【図 2 2】 図 2 1 に示す CMOS 回路の回路図である。
- 【図 2 3】 本発明に係る他の CMOS 回路を示す平面図である。
- 【図 2 4】 図 2 3 に示す CMOS 回路の回路図である。
- 【図 2 5】 本発明に係る電気光学装置の例を示す構成図である。
- 【図 2 6】 本発明に係る電気機器の例を示す図である。

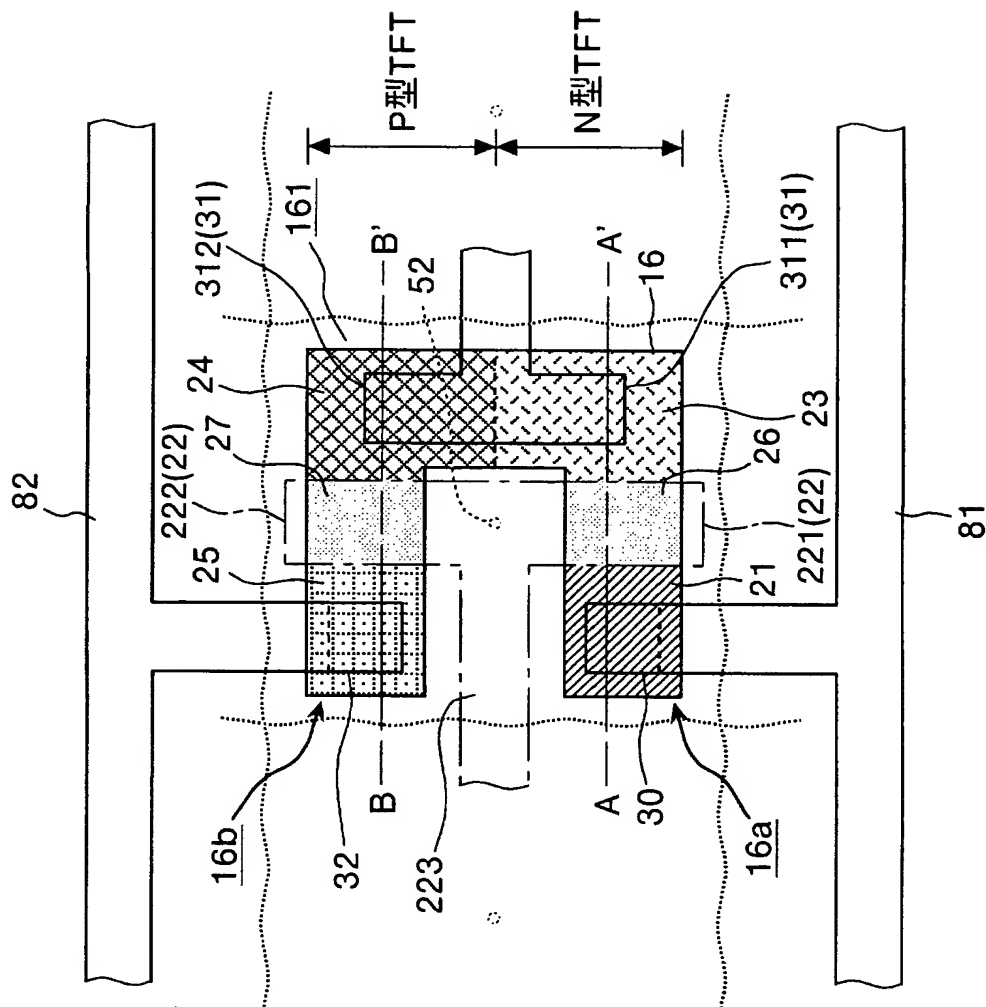
【符号の説明】

1 0 ガラス基板、1 2 絶縁膜、1 6 シリコン膜、1 6 1、1 6 2、1 6 3
単結晶粒、2 0 酸化シリコン膜、2 1 ソース領域、2 2、2 2 1、2 2 2
ゲート電極、2 3 ドレイン領域、2 4 ドレイン領域、2 5 ソース領域、
2 6 チャネル領域、2 7 チャネル領域、2 8 酸化シリコン膜、3 0 ソー
ス電極、3 1 ドレイン電極、3 2 ソース電極、3 6、3 7、3 8、3 9 電
界緩和領域、5 2 起点部（グレイン・フィルタ）、5 4、5 5 結晶粒界

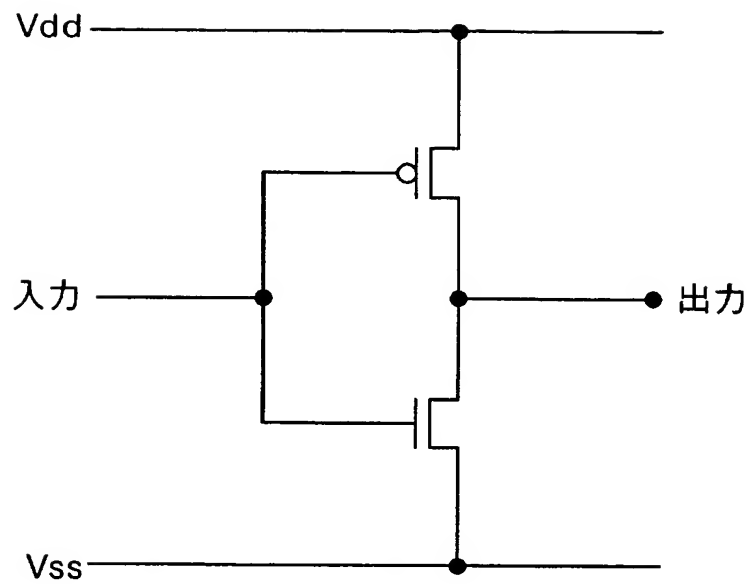
【書類名】

図面

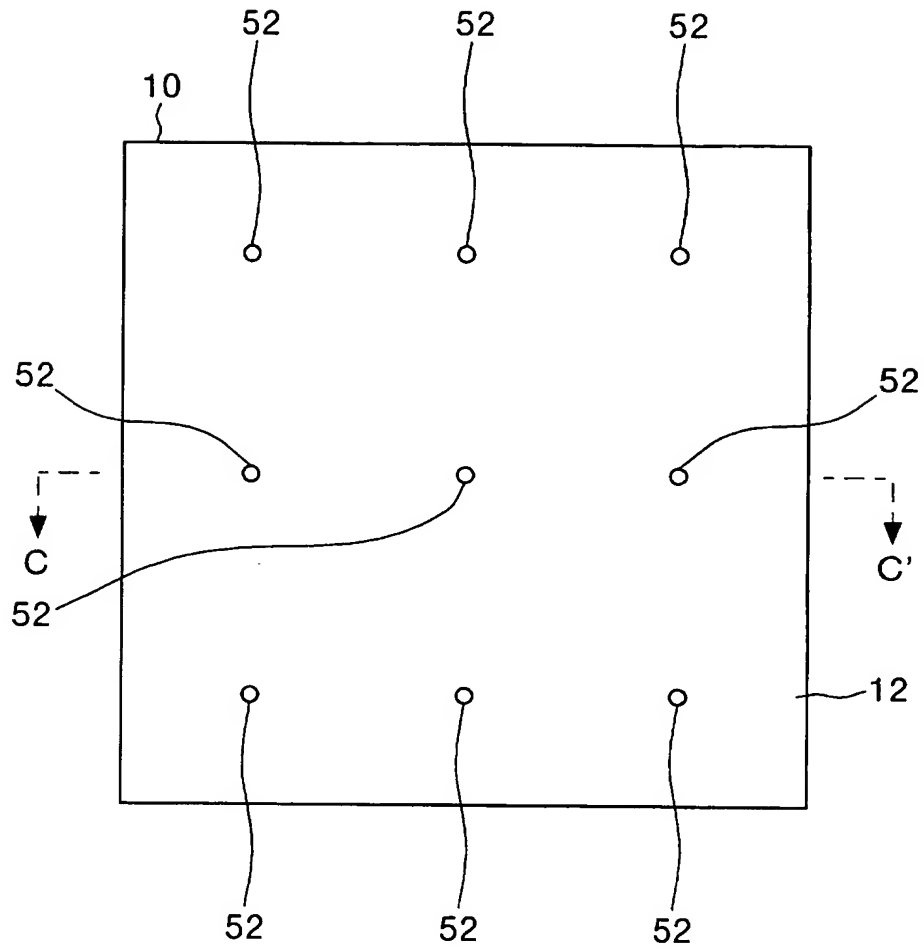
【図 1】



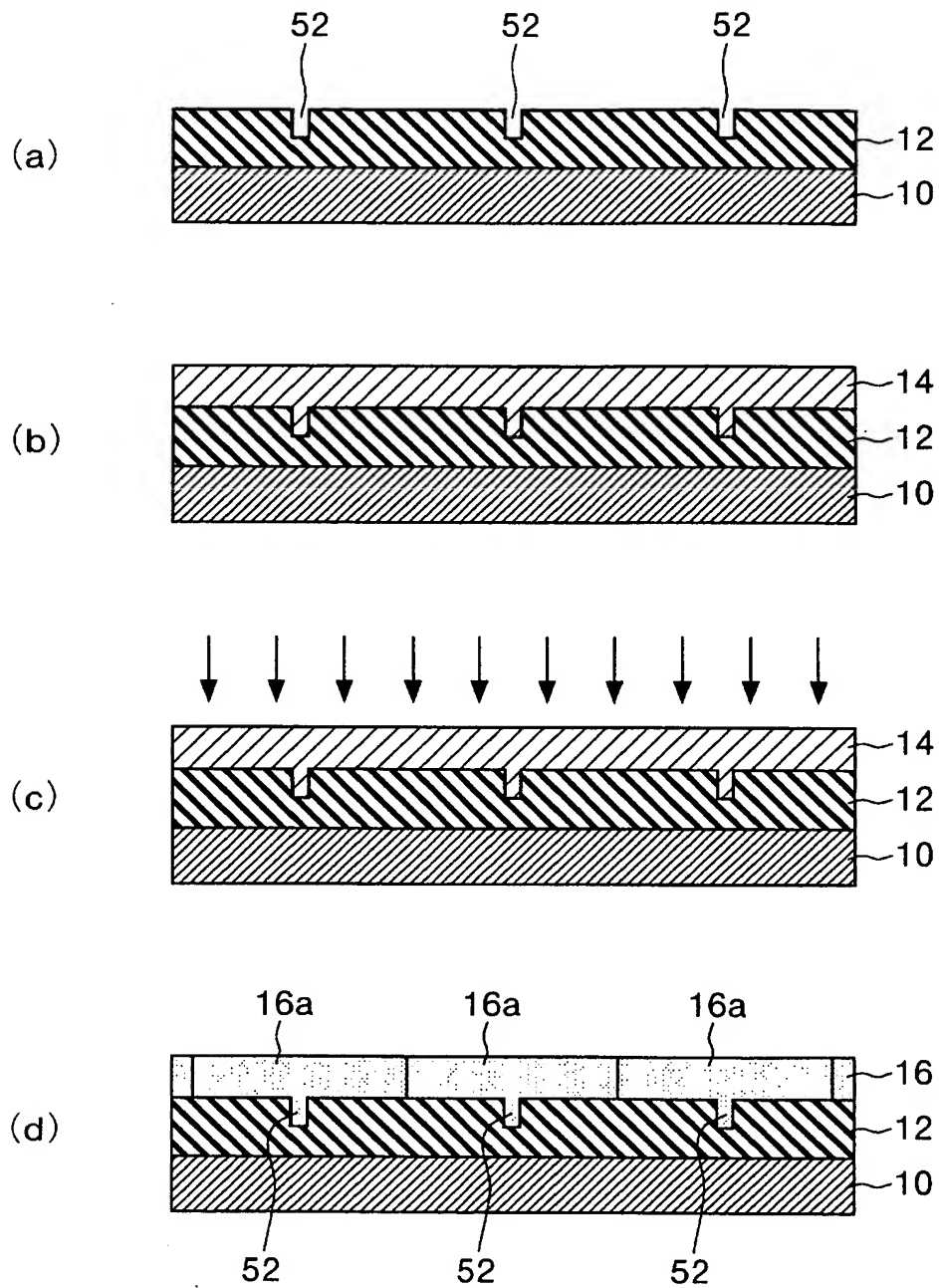
【図 4】



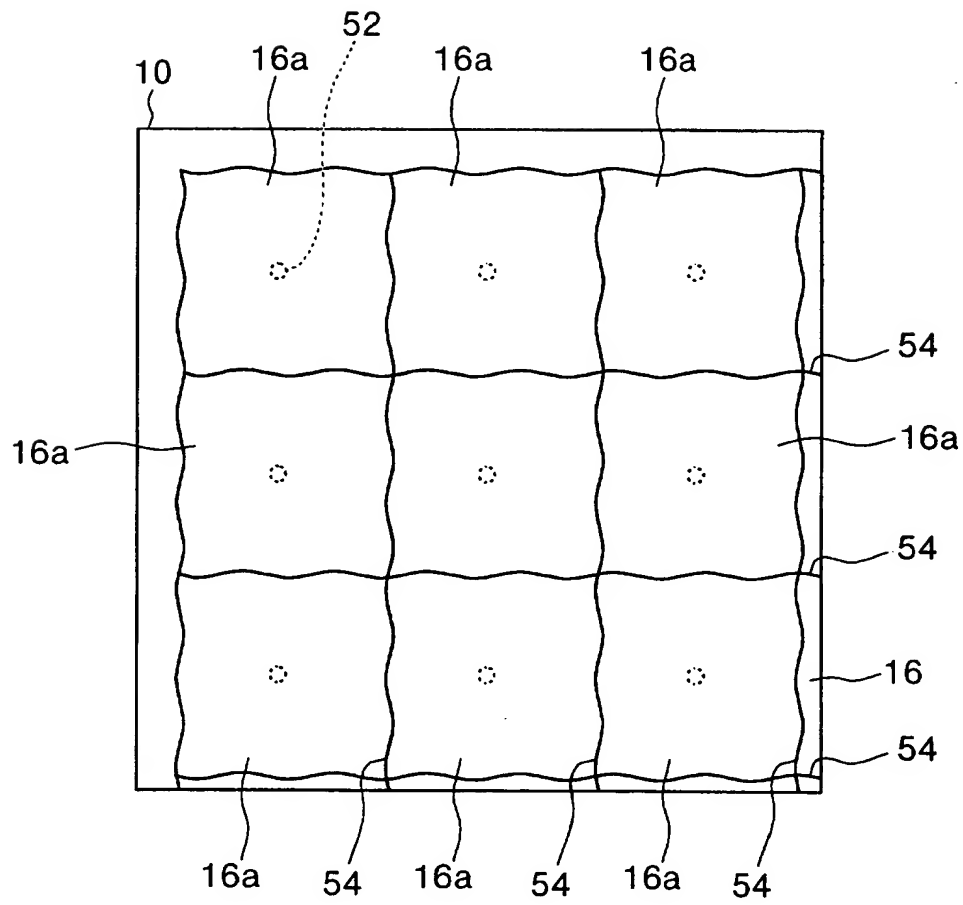
【図 5】



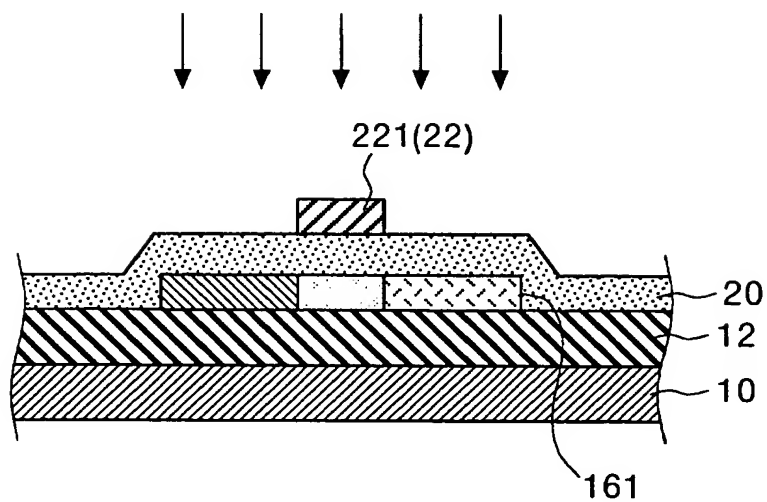
【図 6】



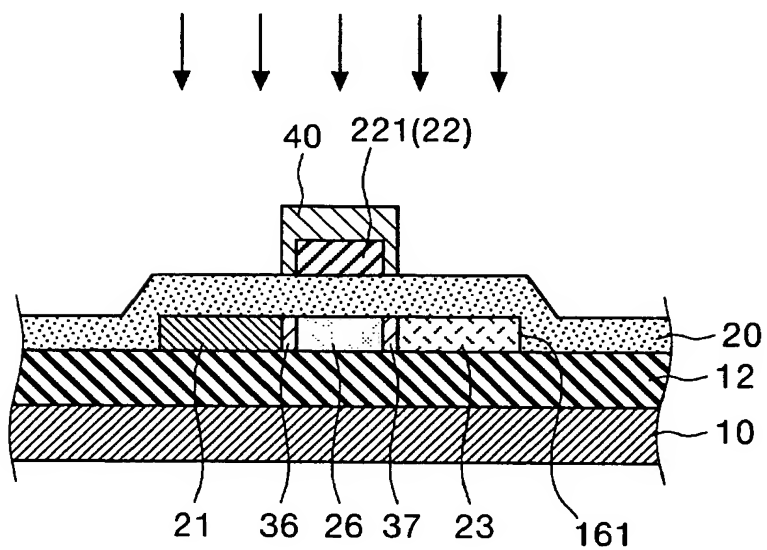
【図 7】



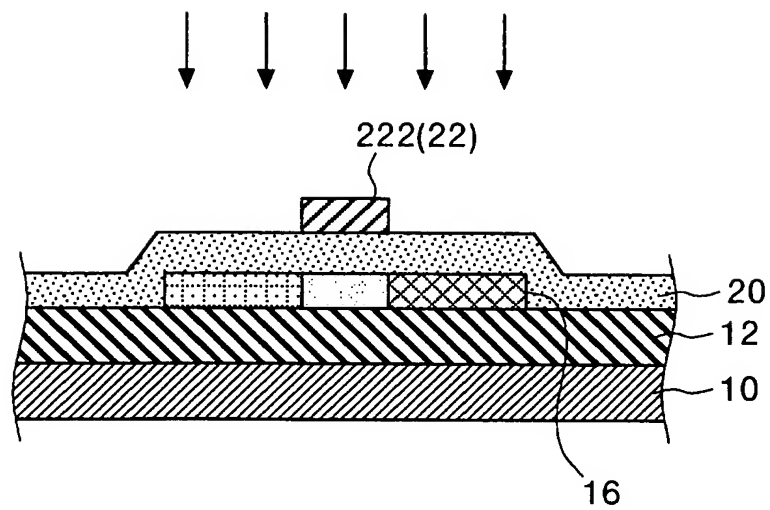
【図 8】



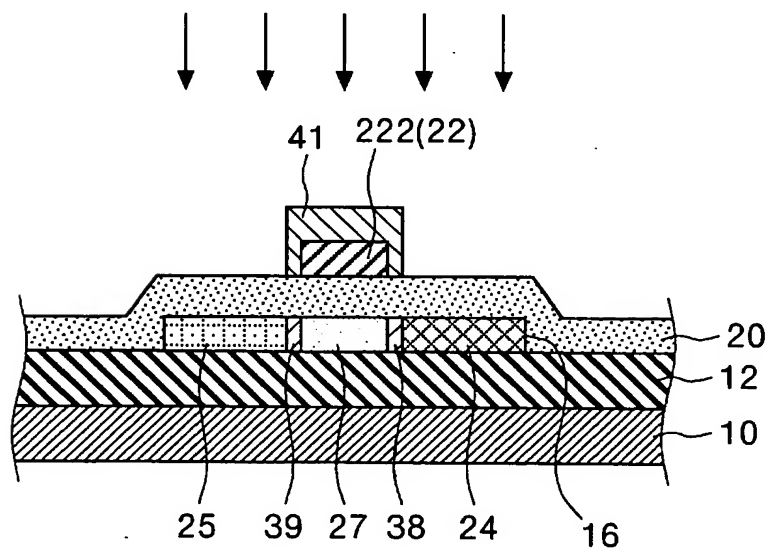
【図 9】



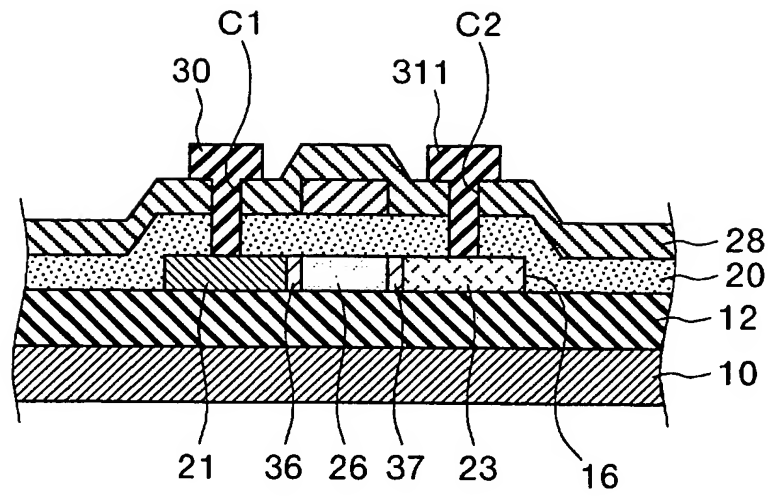
【図 10】



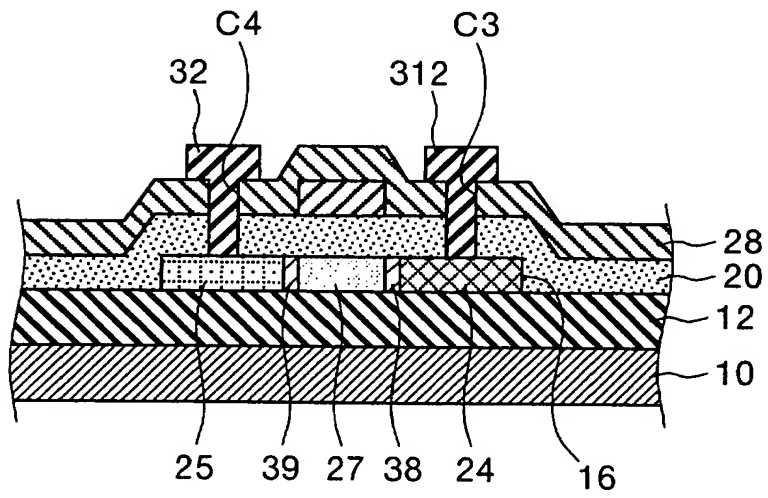
【図 11】



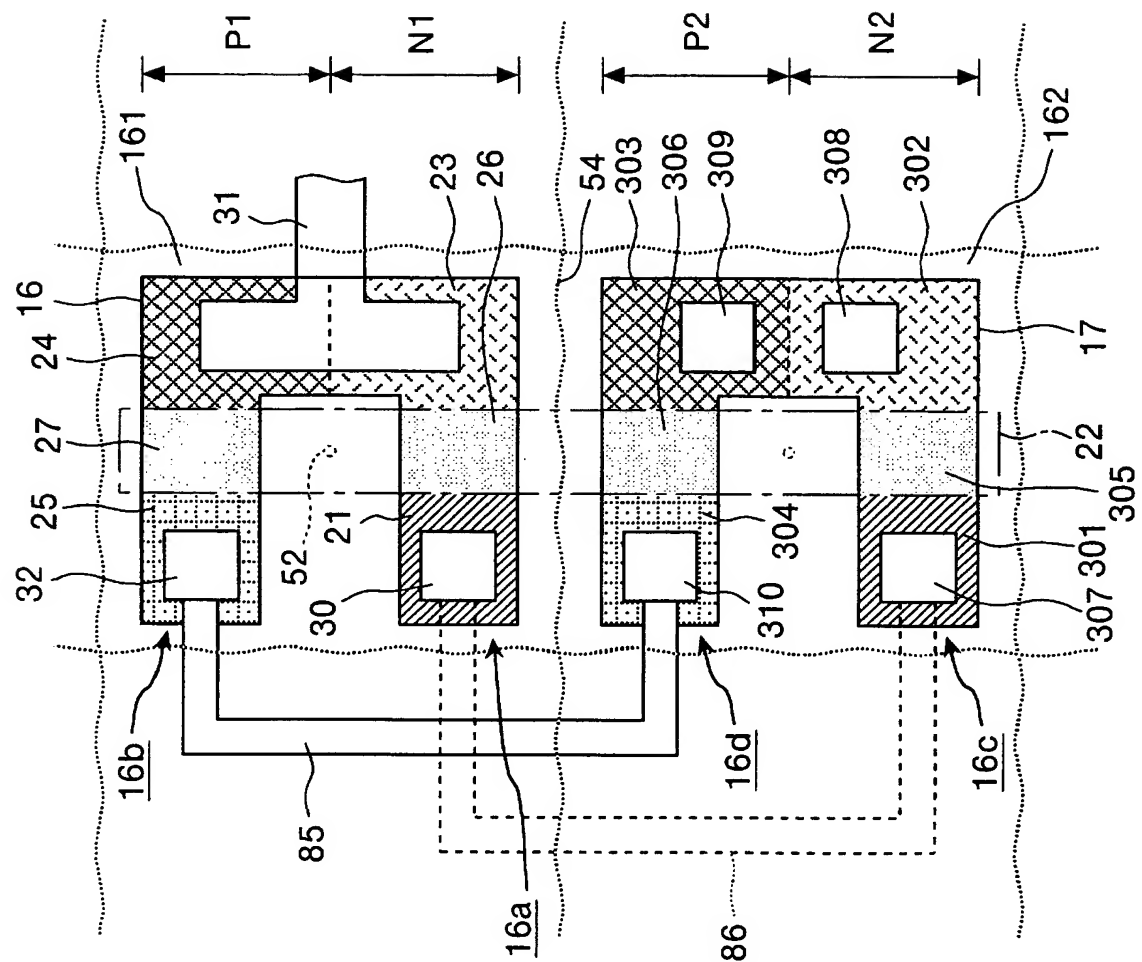
【図 12】



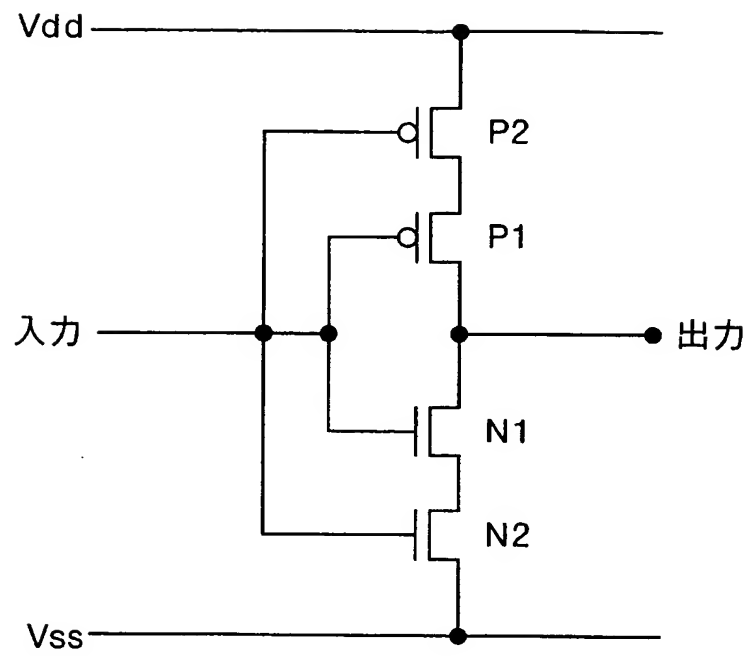
【図 13】



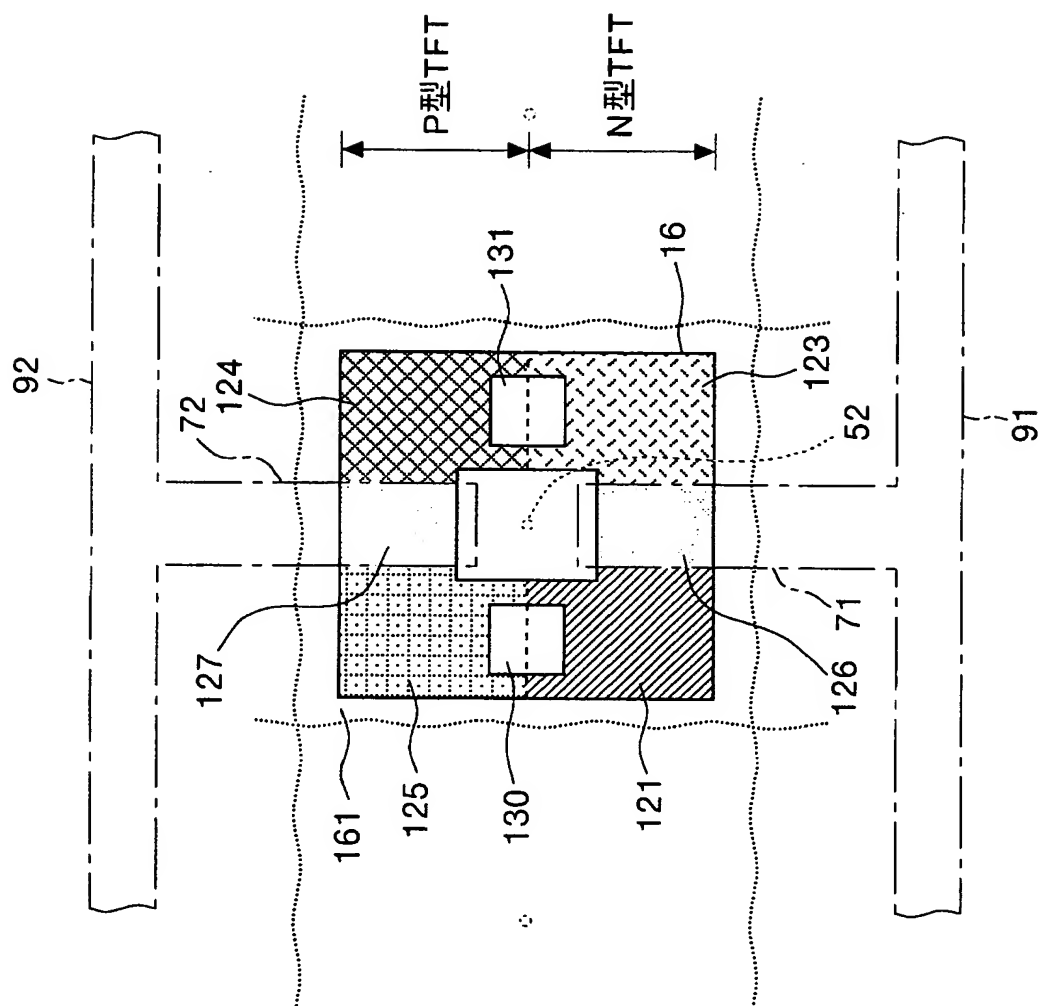
【図 14】



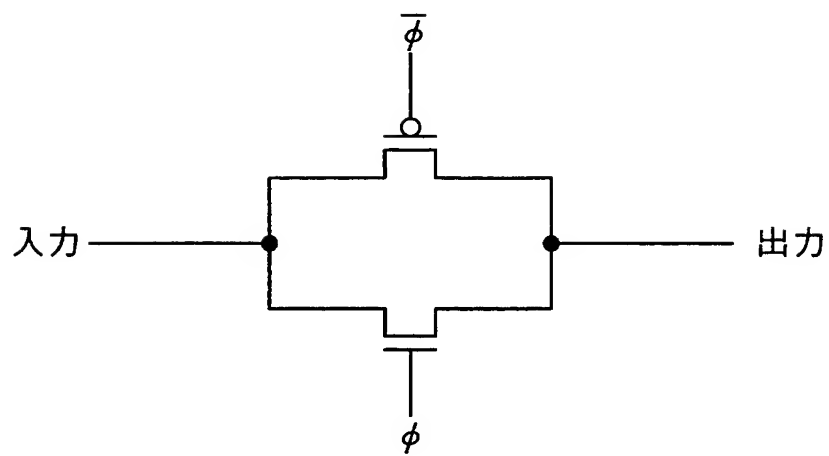
【図 15】



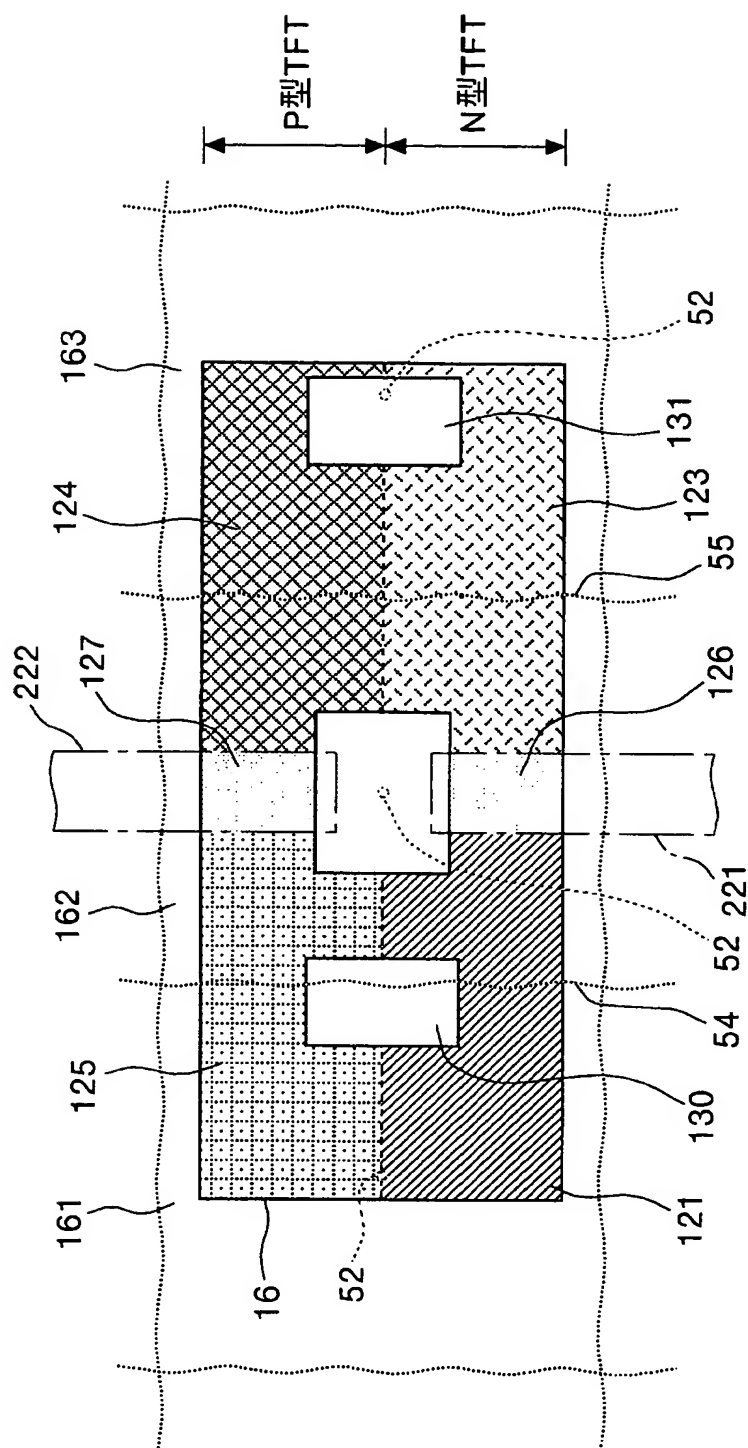
【図 16】



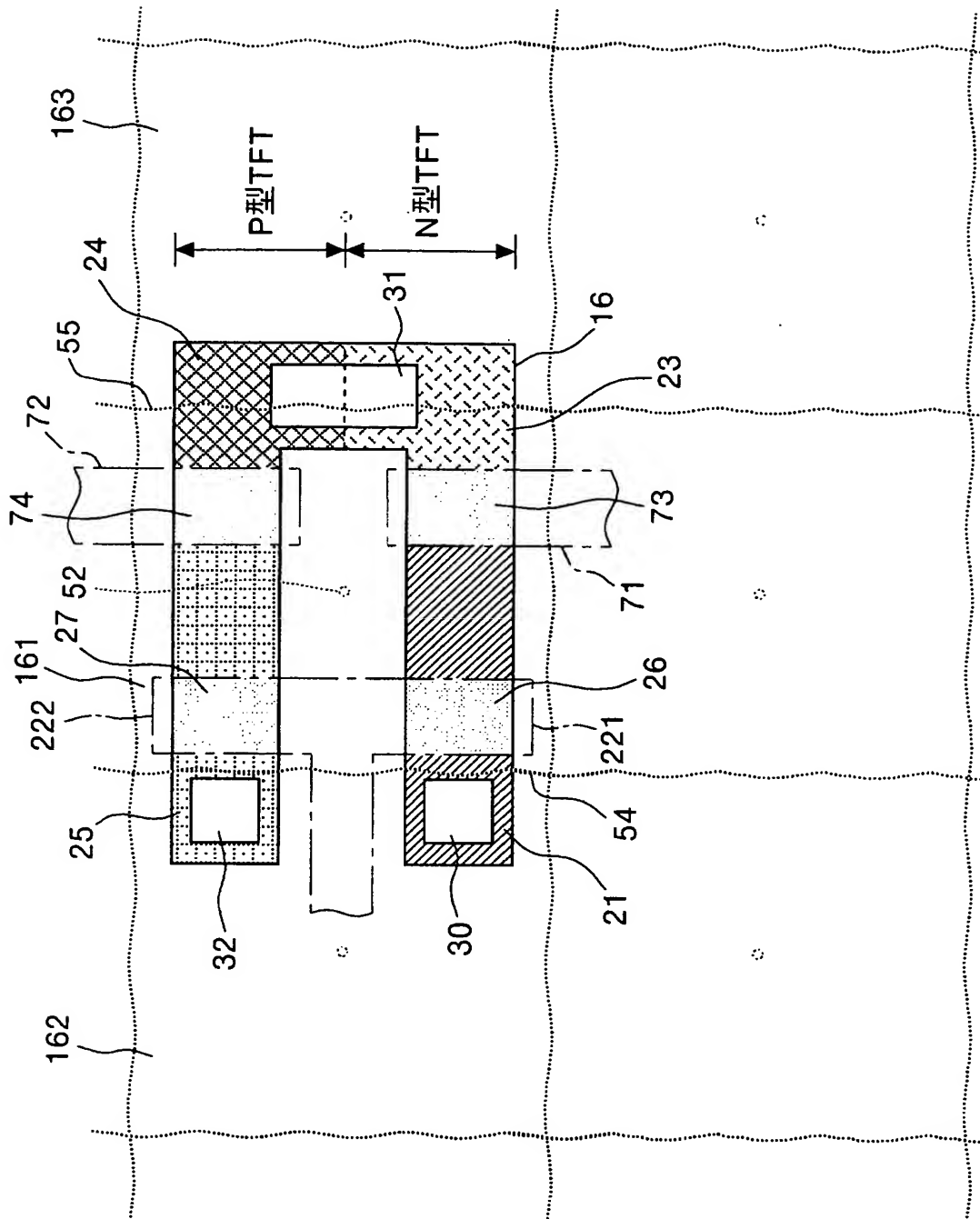
【図 1 7】



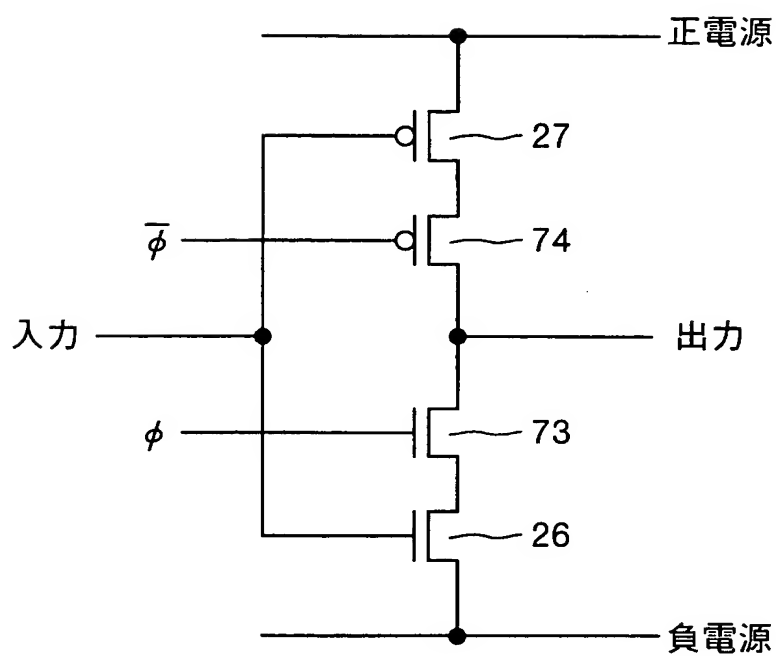
【図 18】



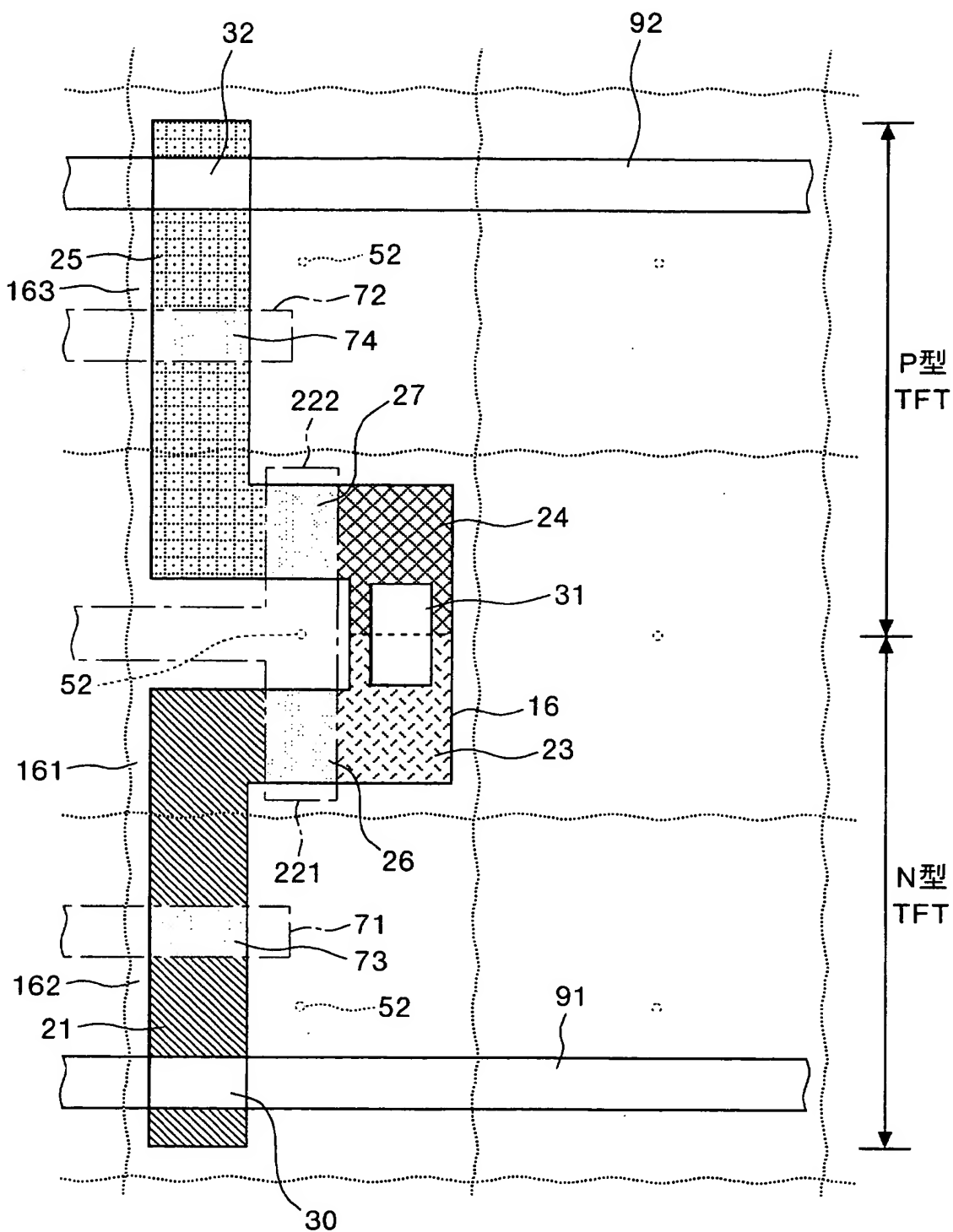
【図 19】



【図 20】

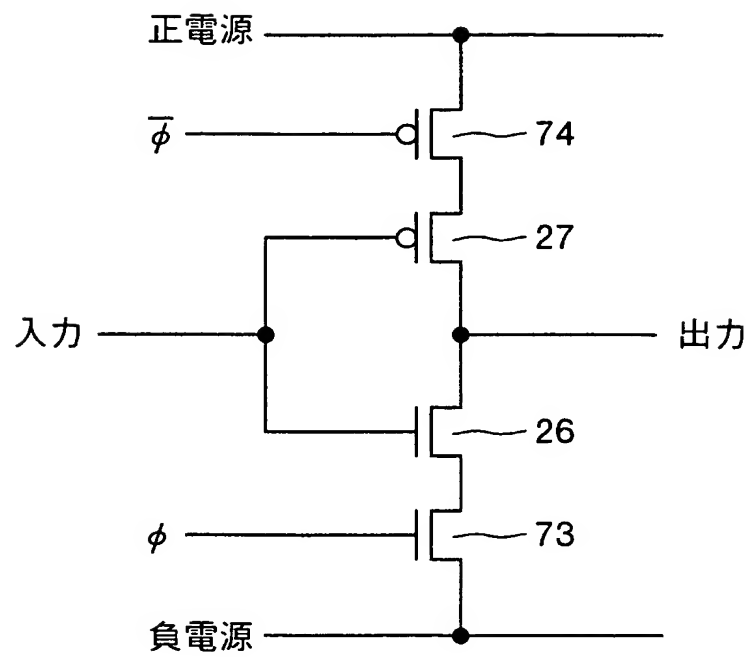


【図 21】

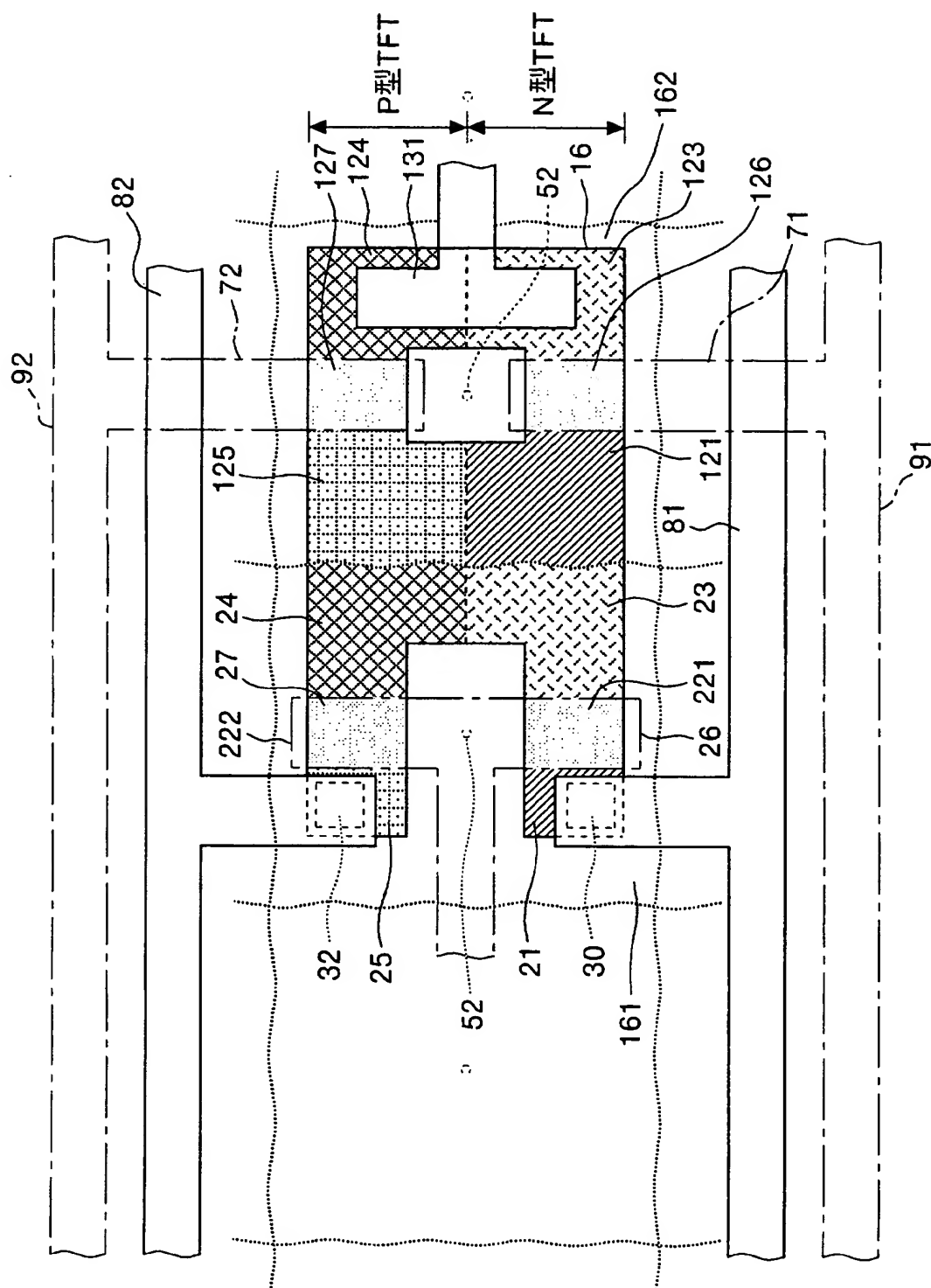




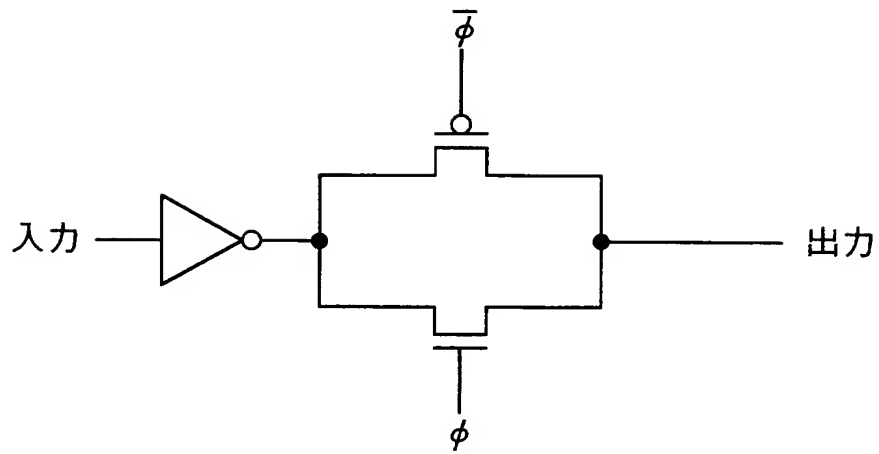
【図 2 2】



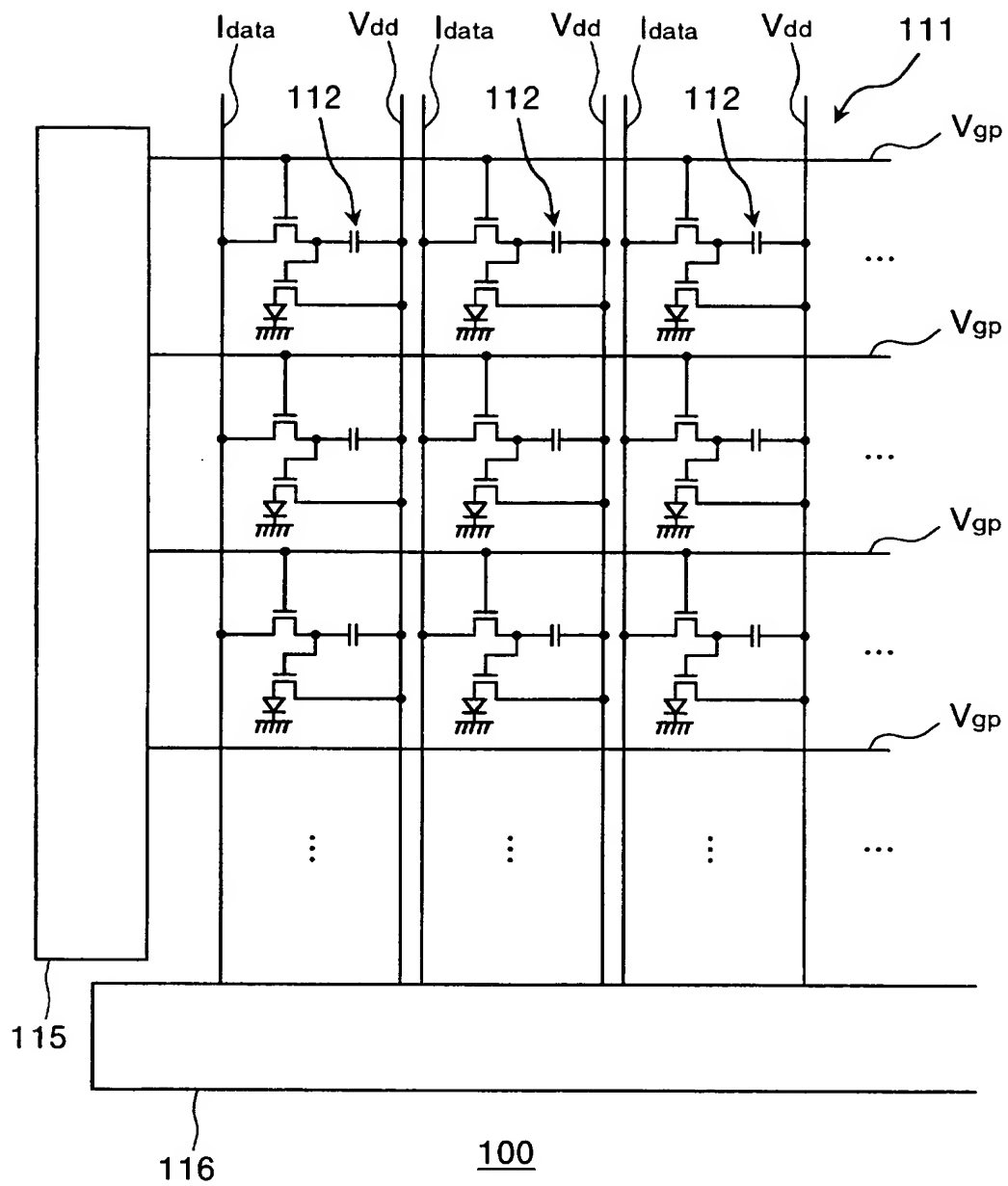
【図23】



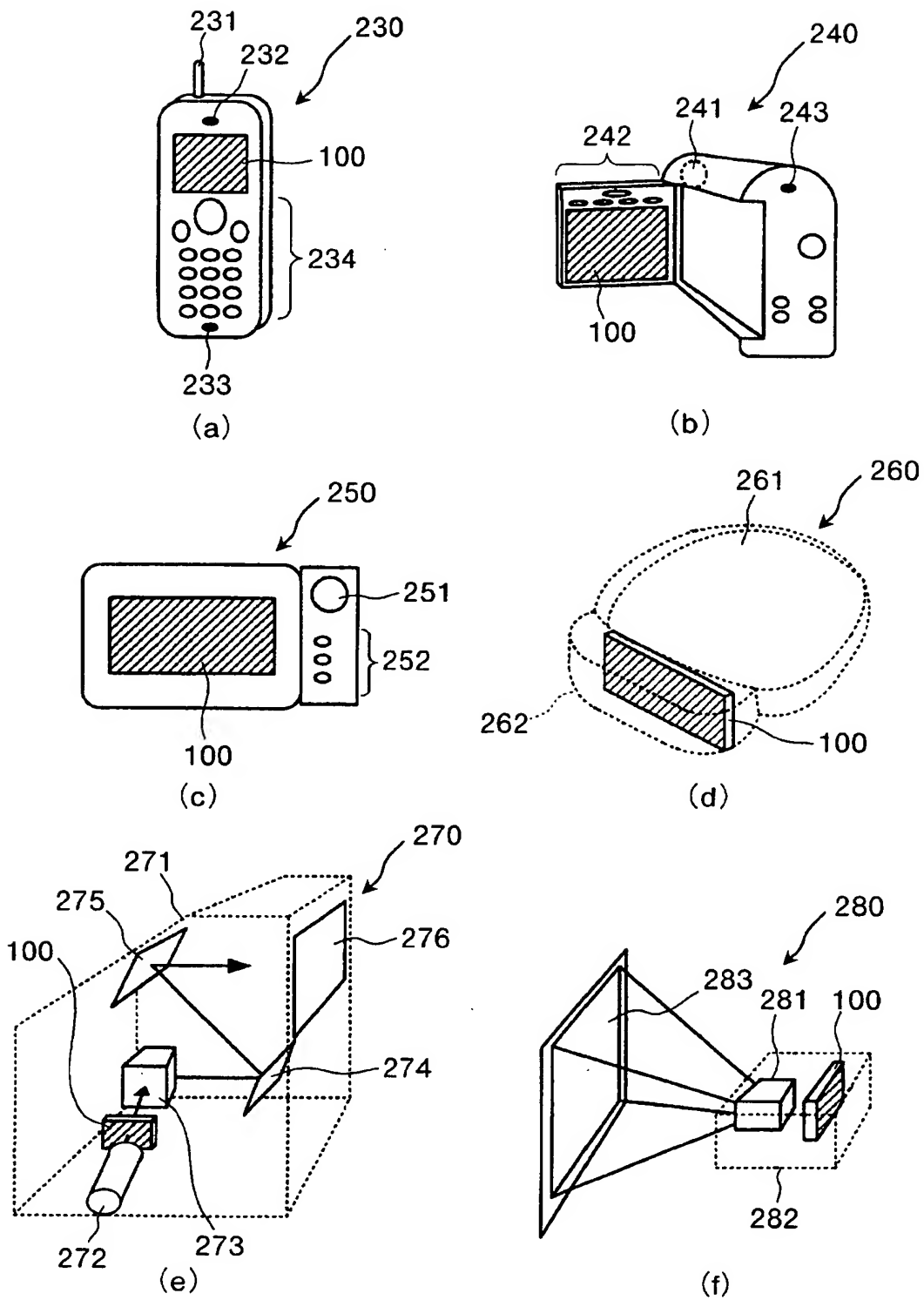
【図 24】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 第1導電型の薄膜トランジスタと第2導電型の薄膜トランジスタとの特性のばらつきが防止され、安定して動作する信頼性の高い相補型薄膜トランジスタ回路を提供する。

【解決手段】 基板の絶縁性表面上に設けられた複数の起点部のそれぞれを略中心として形成された単結晶粒を用いて形成された第1導電型の薄膜トランジスタと第2導電型の薄膜トランジスタとを備え、前記第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタは、ドレイン電流の向きを揃えて形成されるとともに少なくとも該第1導電型の薄膜トランジスタ及び第2導電型の薄膜トランジスタのチャネル領域が同一面方位を有する前記単結晶粒内に形成されていることを特徴とする。

【選択図】 図1


認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 5 3 9 9 8
受付番号	5 0 3 0 0 3 3 3 8 5 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 3 日

< 認定情報・付加情報 >

【提出日】 平成 15 年 2 月 28 日

次頁無



特願 2 0 0 3 - 0 5 3 9 9 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社